

Міністерство освіти і науки України  
Вінницький національний технічний університет

**О. Д. Азаров, О. І. Черняк**

**ПОВНОФУНКЦІОНАЛЬНА ПОБІТОВА  
ПОТОКОВА АРИФМЕТИКА  
ЗІ ЗМЕНШЕНИМИ ВИТРАТАМИ ОБЛАДНАННЯ**

**Монографія**

Вінниця  
ВНТУ  
2013

УДК 004.315  
ББК 32.973-04  
А35

Рекомендовано до друку Вченою радою Вінницького національного технічного університету Міністерства освіти і науки України (протокол № 11 від 26.06 2013 р.)

Рецензенти:

**В. П. Тарасенко** доктор технічних наук, професор

**В. А. Лужецький** доктор технічних наук, професор

**Азаров, О. Д.**

А35 Повнофункціональна побітова потокова арифметика зі зменшеними витратами обладнання : монографія / О. Д. Азаров, О. І. Черняк. – Вінниця : ВНТУ, 2013. – 200 с.

ISBN 978-966-641-542-7

Побітова потокова обробка у двійковій системі числення є одним з напрямів вирішення проблеми інформаційних зв'язків у цифровій техніці. Однак вона має обмежену функціональність через неможливість виконання побітового ділення в одному потоці з іншими арифметичними операціями. У монографії пропонується інформаційно-структурний підхід до повнофункціональної організації такої обробки на основі визначення оптимальної за витратами обладнання надлишкової системи числення та розробки у ній поточкових методів і пристроїв зі зменшеними витратами обладнання для побітового виконання всіх арифметичних операцій.

**УДК 004.315**

**ББК 32.973-04**

**ISBN 978-966-641-542-7**

© О. Азаров, О. Черняк, 2013

## ЗМІСТ

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ.....	5
ВСТУП .....	8
РОЗДІЛ 1 СТАН ТА ЗАДАЧІ ПОВНОФУНКЦІОНАЛЬНОЇ ПОБІТОВОЇ ПОТОКОВОЇ ОБРОБКИ.....	12
1.1 Проблема з'єднань.....	12
1.2 Використання побітової обробки у сучасних технологіях .....	16
1.3 Використання побітової обробки у перспективних технологіях майбутнього .....	18
1.4 Порозрядна обробка у знакорозрядній двійковій системі числення .....	22
1.5 Побітова обробка у системах числення золотої пропорції .....	28
1.6 Напрямок і задачі досліджень .....	34
РОЗДІЛ 2 ТЕОРЕТИЧНІ ПОЛОЖЕННЯ СИСТЕМ ЧИСЛЕННЯ ДЛЯ ПОВНОФУНКЦІОНАЛЬНОЇ ПОТОКОВОЇ ПОРОЗРЯДНОЇ АРИФМЕТИКИ.....	36
2.1 Теоретико-числові властивості АМ-систем числення.....	36
2.2 Адитивні перетворення в АМ-системах числення.....	41
2.3 Порозрядне додавання в АМ-системах числення .....	61
2.4 Порівняльні оцінки систем числення повнофункціональної порозрядної потокової обробки.....	80
2.5 Висновки до розділу.....	85
РОЗДІЛ 3 ПОТОКОВІ МЕТОДИ ПОБІТОВОЇ АРИФМЕТИКИ У СИСТЕМІ ЧИСЛЕННЯ ЗОЛОТОЇ 1-ПРОПОРЦІЇ .....	87
3.1 Особливості побітової обробки прямих кодів.....	87
3.2 Властивості побітового потокового додавання і віднімання.....	89
3.3 Потоківий метод побітового додавання з урахуванням знаків .....	109
3.4 Потоківий метод побітового множення .....	112
3.5 Потоківий метод побітового ділення.....	117

3.6	Метод обчислення похибок лінійності передатної характеристики для оперативного самокалібрування АЦП.....	121
3.7	Висновки до розділу .....	126
РОЗДІЛ 4 РЕКОМЕНДАЦІЇ ЩОДО ПОБУДОВИ ПОТОКОВИХ ЗАСОБІВ ПОВНОФУНКЦІОНАЛЬНОЇ ПОБІТОВОЇ АРИФМЕТИКИ ЗІ ЗМЕНШЕНИМИ ВИТРАТАМИ ОБЛАДНАННЯ.....		
4.1	Пристрої побітового додавання і віднімання .....	128
4.2	Пристрої побітового множення та ділення .....	155
4.3	Обчислювальний пристрій оперативного самокалібрування лінійності АЦП .....	165
4.4	Порівняльний аналіз витрат обладнання при реалізації пристроїв повнофункціональної побітової обробки.....	174
4.5	Висновки до розділу .....	182
ВИСНОВКИ.....		184
ЛІТЕРАТУРА .....		186

## ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ

$\Delta L_k$  – похибка лінійності  $k$ -го розряду АЦП;

$\Delta M$  – похибка масштабу АЦП;

$\Delta N$  – похибка зміщення нуля АЦП;

$\Delta S_{\max}$  – максимальна довжина перенесення у молодші розряди при додаванні окремих розрядів;

$A$ -перетворення – адитивне перетворення кодів в АМ-системах числення;

$A$ -співвідношення – адитивне співвідношення АМ-системи числення;

$A1_0^{n-1}(i)$  – послідовний код золотої 1-пропорції з виходу АЦП1;

$A2_0^{n-1}(i)$  – послідовний код золотої 1-пропорції з виходу АЦП2;

$A1D_0^{n-1}$  – паралельний двійковий код з виходу АЦП1;

$A2D_0^{n-1}$  – паралельний двійковий код з виходу АЦП2;

$AL$ -перетворення –  $A$ -перетворення кодів в АМ-системах числення з перенесенням у старші розряди;

$AR$ -перетворення –  $A$ -перетворення кодів в АМ-системах числення з перенесенням у молодші розряди;

$C_k$  – множина цифр АМ-системи числення;

$dS_{\max}$  – максимальна довжина перенесення у старші розряди при додаванні окремих розрядів;

$dZ$  – найбільша кількість розрядів, загальне максимальне значення яких менше граничного значення адитивного співвідношення;

$EA$ -перетворення – елементарне  $A$ -перетворення;

$EAL$ -перетворення – елементарне  $AL$ -перетворення;

$EAR$ -перетворення – елементарне  $AR$ -перетворення;

$FA$ -перетворення – повне  $A$ -перетворення;

$FAL$ -перетворення – повне  $AL$ -перетворення;

$FAR$ -перетворення – повне  $AR$ -перетворення;

FPGA – програмована користувачем вентильна матриця;

$H[p]$  – дискретна одинична функція Хевісайда;

$IRI$  – інформаційний резерв для збільшення;

$MS$  – мультиплексор;

$NT_i$  – кількість тактів, необхідних для визначення  $i$ -го розряду частки;

QCA – технологія клітинних автоматів на квантових точках;

$R$  – граничне значення коду в АМ-системі числення ( $r \in C_k$ );

SFQ-logic – одноквантова логіка;

$T$  – проміжний результат;

$UA$ -перетворення – універсальне  $A$ -перетворення;

$UAL$ -перетворення – універсальне  $AL$ -перетворення;

$UAR$ -перетворення – універсальне  $AR$ -перетворення;

$w$  – основа АМ-системи числення;

$X_u^v$  – частина коду  $X_0^{n-1}$  від  $u$ -го до  $(u+v)$ -го розрядів;

АМ-системи числення – системи числення з адитивними та мультиплікативними співвідношеннями певного виду між вагами розрядів;

АЦП – аналого-цифровий перетворювач;

БА – блок аналізу;

БАЗ – блок аналізу знаків;

БВ – блок віднімання;

БД – блок додавання;

БДС – блок допоміжних сигналів;

БО – блок операції;

БОП – блок обчислення похибки;

БОР – блок обробки розрядів;

БОС – багатопроцесорна обчислювальна система;

БП – блок побітового порівняння;

БР – блок розгортання;

БРЧ – блок розряду частки;

БС – блок стробування;

БФС – блок формування сигналів;

БФР – блок формування результату;

ДПЛ – допустима похибка лінійності;

$Zx$  – ознака того, що знак проміжного результату дорівнює знаку операнда  $X$ ;

$ZnT$  – знак проміжного результату;

$K$  – комутатор чергових розрядів операндів;

$KЗВ_{ПДВ}$  – коефіцієнт зменшення витрат обладнання.

ООС – однорідні обчислювальні середовища та системи;  
Оп – режим дійсної операції (0 – додавання, 1 – віднімання);  
ОПДВ<sub>ДП</sub> – кількість логічних елементів пристрою побітового додавання і віднімання довільних форм прямих кодів;  
ОПДВ<sub>МД</sub> – кількість логічних елементів пристрою побітового додавання і віднімання мінімізованих форм доповняльних кодів;  
ОПЛ – обчислена похибка лінійності;  
ОСД<sub>Б</sub> – кількість логічних елементів суматора довільних форм додатних кодів золотої 1-пропорції;  
ОСД<sub>М</sub> – кількість логічних елементів суматора мінімізованих форм додатних кодів золотої 1-пропорції;  
ПВ – вхід початкового встановлення;  
ПР – сигнал примусового розгортання;  
ПС – початковий стан;  
Рг – регістр;  
РгПН – регістр послідовного наближення;  
СЧ – сигнал початку числа;  
СЧВН – системи числення з ваговою надлишковістю;  
ТЗх – тригер для зберігання сигналу Зх;  
ТЗн – тригер знака;  
ТІ – тактові імпульси;  
ЦОС – цифрова обробка сигналів.

## ВСТУП

Повнофункціональна побітова потокова обробка є одним із видів порозрядної потокової обробки та надає можливість побітового виконання всіх арифметичних операцій, починаючи зі старших розрядів. Завдяки побітовому передаванню інформації між пристроями ця обробка дозволяє мінімізувати витрати обладнання на організацію довгих ліній інформаційних зв'язків. Побітова потокова обробка є одним з відомих підходів до вирішення проблеми з'єднань у цифровій техніці, що постала ще у 20-му столітті. У технічній літературі цій проблемі дана назва «тиранія міжз'єднань», а за один із способів її вирішення Джеку Кілбі була призначена нобелівська премія [1]. Підвищення рівня інтеграції мікросхем та широке впровадження паралельних обчислень при побудові засобів обчислювальної техніки обумовлює зростання актуальності цієї проблеми у наш час. Проблемі з'єднань приділяється значна увага не тільки у розвинутих країнах заходу, але й у країнах ближнього зарубіжжя [2]. Її актуальність підтверджують численні наукові публікації, а також дослідження, що здійснюються такими провідними науково-дослідними і виробничими фірмами та державними установами в усьому світі, як IBM, Sun Microsystems, NEC, DARPA та ін. [1–23]. Як вказують у своїх публікаціях Ю. С. Яковлев і С. Brown, в мікроелектронній техніці найбільше на проблему з'єднань впливають довгі лінії інформаційних зв'язків [4, 5], через які здійснюється передавання інформації між окремими функціональними модулями всередині мікросхеми.

Одним з відомих схемотехнічних підходів до зменшення кількості довгих ліній інформаційних зв'язків є суміщення порозрядної потокової обробки і порозрядного передавання послідовних кодів. В рамках цього підходу найменші витрати на інформаційні зв'язки забезпечує побітова потокова обробка, яка потребує однієї лінії інформаційного зв'язку для передавання одного розряду. Така обробка може виконуватись лише у позиційних системах числення з цифрами 0 і 1. Використання класичної двійкової системи числення для побітової обробки описано у наукових публікаціях таких авторів, як В. І. Шмойлов, R. J. Andraka, D. Crook, F. Dittmann, E. E. Fabris, L. Ferguson, M. Hariyama, T. Isshiki, P. Longa, A. Retberg, L. E. Turner, R. Weber та ін. [24–40]. Такий вид обробки широко застосовується при побудові сучасних засобів цифрової обробки сигналів на основі FPGA та в обчислювальних системах з реконфігурацією. Крім того, побітова обробка прогнозується для впровадження у таких перспективних елект-



ронних технологіях майбутнього, як QCA (quantum cellular automata) і SFQ (single flux quantum). Побітова обробка на основі цих технологій описана у наукових працях таких авторів, як Д. Зінов'єв, Ю. Свідіненко, I. Almani, V. S. Dimitrov, H. Nara, M. Ito, M. Niemier, H. Park, M. Tanaka, N. Yoshokawa, J. Whitney та ін. [41–66]. Проте у класичній двійковій системі числення не можна виконувати побітове потокове ділення, що робить неможливою реалізацію на її основі повнофункціональної побітової обробки. Слід вказати, що ця операція є необхідною для вирішення багатьох обчислювальних задач. Наприклад, використанню операції ділення у задачах цифрової обробки сигналів присвячені наукові публікації таких авторів, як J. Chiang, A. Geraci, C. Leal, K. K. Parhi, E. Roelser та ін. [67–71].

Повнофункціональна реалізація побітової обробки вимагає порозрядного виконання всіх арифметичних операцій, починаючи зі старших розрядів, що можливо тільки у надлишкових системах числення. Порозрядна потокова обробка на основі двійкової знакорозрядної системи числення розглянута у наукових працях українських учених, таких як І. А. Дичка, В. І. Жабін, В. В. Жабіна, В. І. Корнійчук, А. Г. Кухарчук, Г. М. Луцький, В. П. Тарасенко та ін.; російських учених, таких як В. Ф. Гузік, І. І. Левин, А. В. Каляєв, О. Б. Станішевський та ін.; учених країн дальнього зарубіжжя, таких як R. Galli, K. Obata, M. Tanaka, A. Tisserand та ін. [72–107]. Запропонована ними організація обчислень дозволяє у десятки разів зменшити витрати на обмін інформацією без значного зменшення продуктивності обчислювальних засобів. Двійкова знакорозрядна система числення використовує цифри з множини  $\{-1, 0, 1\}$  і тому при передаванні одного розряду між порозрядними пристроями вона потребує двох ліній інформаційного зв'язку.

Для організації повнофункціональної побітової потокової обробки потрібно використовувати надлишкові системи числення, що мають цифри з множини  $\{0, 1\}$ . Серед них слід відзначити системи числення з ваговою надлишковістю, запропоновані О. Д. Азаровим, як інформаційну основу для високопродуктивного аналого-цифрового і цифроаналогового перетворення [109–114]. Найвідомішою з них є запропонована Бергманом (G. Bergman) система числення золотої пропорції [115]. Ця система числення була також описана О. П. Стаховим, як коди золотої пропорції, та узагальнена ним на клас систем числення з ірраціональними основами типу золотої пропорції [116, 117]. У наукових працях Стахова при виконанні арифметичних операцій використовуються мінімальні форми кодів, в яких не може бути двох одиниць

поряд. Це дозволяє контролювати виконання арифметичних операцій та зберігання інформації у пам'яті. Однак при побітовій потоковій обробці, починаючи зі старших розрядів, послідовний код результату не може бути отриманим у мінімальній формі. Для приведення його до мінімальної форми потрібно виконати повнорозрядну операцію згортання. Тому повнофункціональна побітова потокова обробка з використанням мінімальних форм кодів золотої пропорції неможлива. Питання побітової потокової обробки для мінімізованих форм доповняльних послідовних кодів золотої 1-пропорції розглянуті у наукових працях Т. І. Блінової [118, 119]. У цих формах подання коди не можуть мати більше двох одиниць поряд, що також дозволяє здійснювати контроль виконання арифметичних операцій і зберігання інформації. Проте використання мінімізованих форм і доповняльних кодів приводить до значних витрат обладнання при побудові цифрових засобів на їх основі. У наукових працях В. А. Лужецького розроблено основи теорії «фібоначчєвих» моделей даних, методи обчислень над складними об'єктами та основи теорії побудови «фібоначчєвих» операційних пристроїв і спеціалізованих пристроїв, орієнтованих на розв'язання задач обчислювальної математики [120]; наведено класифікацію систем числення та узагальнено способи виконання арифметичних операцій над послідовними кодами золотої  $p$ -пропорції для довільного значення параметра  $p$ . Проте запропоновані ним методи обробки кодів золотої пропорції або не дозволяють організувати побітове виконання всіх операцій в одному потоці, або потребують для цього значних витрат обладнання при побудові пристроїв. Отже, відомі розробки не дозволяють реалізувати повнофункціональну побітову потокову обробку зі зменшеними витратами обладнання.

Будучи одним із способів розпаралелювання обчислень і використовуючи надлишкові системи числення, повнофункціональна побітова потокова обробка призводить до значних витрат обладнання при побудові цифрових засобів. Тому виникає необхідність їх зменшення. Слід зазначити, що в залежності від вибору системи числення витрати обладнання на реалізацію такої обробки будуть різними. Теоретично існує безліч систем числення з можливістю побітового потокового виконання всіх арифметичних операцій. Базовою операцією в них є побітове потокове додавання з обмеженою довжиною перенесення у старші розряди. Від довжини перенесення залежить кількість розрядів, що паралельно обробляються у побітовому суматорі за один такт.

Це, у свою чергу, визначає апаратні витрати при створенні побітових потокових пристроїв. Тому актуальною є задача узагальнення систем числення, в яких можлива повнофункціональна побітова потокова обробка, та вибору тієї, що має найменшу довжину перенесення при побітовому додаванні. Для вибраної системи числення постає задача розробки потокових методів і пристроїв побітового додавання, віднімання, множення й ділення зі зменшеними витратами обладнання.

Метою монографії є розробка потокових методів і засобів, які забезпечують зменшення витрат обладнання потокових пристроїв повнофункціональної побітової арифметики за рахунок використання оптимальної за довжиною перенесення системи числення

Досягнення поставленої мети потребує розв'язання таких задач:

1. Розробки теоретичних положень систем числення, в яких можливе порозрядне потокове виконання всіх арифметичних операцій, та визначення серед них системи числення, що забезпечує найменшу довжину перенесення при побітовому додаванні.

2. У визначеній системі числення розробки потокового методу побітового додавання з урахуванням знаків, який забезпечує зменшення витрат обладнання при побудові пристроїв на його основі.

3. Розробки потокового методу побітового множення з невеликою незалежною від розрядності затримкою потоку кодів добутоків відносно потоку кодів операндів, що забезпечує лінійне зростання витрат обладнання при нарощуванні розрядності пристроїв, побудованих на його основі.

4. Розробки потокового методу побітового ділення, що забезпечує лінійне зростання витрат обладнання при нарощуванні розрядності пристроїв, побудованих на його основі.

5. Розробки рекомендацій щодо побудови пристроїв зі зменшеними витратами обладнання для побітового додавання, віднімання, а також додавання і віднімання з урахуванням знаків.

6. Розробки рекомендацій щодо побудови пристроїв побітового потокового множення і ділення зі зменшеними витратами обладнання та лінійним зростанням їх при нарощуванні розрядності.

7. Розробки методу та рекомендацій щодо побудови обчислювального засобу з використанням запропонованих пристроїв побітової арифметики.

Автори будуть вдячні за відгуки на монографію, а також за побажання щодо розвитку подальших досліджень.

# РОЗДІЛ 1

## СТАН ТА ЗАДАЧІ ПОВНОФУНКЦІОНАЛЬНОЇ ПОБІТОВОЇ ПОТОКОВОЇ ОБРОБКИ

Повнофункціональна побітова потокова обробка є одним із видів порозрядної потокової обробки і передбачає побітове виконання всіх арифметичних операцій, починаючи зі старших розрядів. Вона дозволяє мінімізувати витрати обладнання на організацію інформаційних ліній зв'язків за рахунок поєднання побітового потокового виконання арифметичних операцій і побітового передавання інформації.

### 1.1 Проблема з'єднань

Проблема з'єднань у цифровій техніці постала як одна з найскладніших проблем електроніки 20-го століття. У технічній літературі їй дана назва «тиранія міжз'єднань», а за один із способів вирішення цієї проблеми Джеку Кілбі була призначена Нобелівська премія [1]. Зростання рівня інтеграції та швидкодії мікросхем, а також впровадження систем з реконфігурацією привертає значну увагу до цієї проблеми у розвинутих країнах заходу і ближнього зарубіжжя. Так, наприклад, у 2005 році була опублікована аналітична стаття експерта Державної Думи Росії Бабкіна В. І. «О перспективности организации российско-германской инвестиционной программы в области микроэлектроники». У ній було вказано, що у майбутньому швидкість передавання даних сягне 20 Гбіт/с, що викличе проблему використання металевих з'єднань через їх нездатність працювати на частотах вище 10 ГГц [2]. Актуальність цієї проблеми підтверджується також щорічним проведенням міжнародної конференції «IEEE International Interconnect Technology Conference» з питань технології з'єднань під егідою IEEE [3].

Вирішення проблеми з'єднань за рахунок впровадження нових складніших технологій у свою чергу приводить до нових проблем. Зі зменшенням розмірів з'єднань збільшується відношення висоти провідників до їх ширини, що збільшує загальну площу бічних поверхонь провідників. Через велику ємність та індуктивність довгі паралельні провідники погіршують параметри сигналів у мікросхемі [4, 5]. За прогнозом Texas Instrument Inc. у 2010–2020 роках передбачається розмістити мільярди транзисторів на одному кристалі, що викличе безпрецедентні проблеми з'єднань відносно вимог до смуги пропускання і потужності споживання [6].

При зменшенні розмірів компонентів мікросхем з мідними провідниками виникають й інші проблеми. Для попередження дифузії з'єднань на кристалі використовують траншеї, покриті шаром танталу. Зменшення розмірів траншей викликає з'єднання їх верхніх частин, що приводить до неконтрольованих змін опору провідників. Нарешті, за повідомленням ІМЕС, одна з найскладніших проблем з'єднань при зменшенні розмірів полягає у появі залежного від часу діелектричного пробую, що є «потенційним кошмаром», оскільки він не повністю вивчений і надзвичайно складний для керування [7]. Одним з напрямків вирішення цієї проблеми є вертикальний об'ємний монтаж, анонсований ІВМ [9], що дозволяє зменшити довжину провідників майже у 1000 разів, а кількість можливих каналів з'єднань на кристалі збільшити приблизно у 100 разів. Проте для його впровадження потрібно вирішити такі проблеми: взаємні завади, паразитні наведення між шарами, збільшення споживання, складність охолодження, ускладнення топології, складність реалізації з'єднань між шарами та зменшення надійності. Крім того, сукупне тепловиділення тривимірної багатошарової мікросхеми площею  $4 \text{ см}^2$  і товщиною біля 1 мм становить майже кіловат [8]. ІВМ та інститут ім. Фраунгофера (Берлін) продемонстрували прототип багатошарового процесора з каналами охолодження інтегрованими в інтегральну мікросхему. Однак виготовлення таких процесорів потребує підвищення точності виробництва у 10 разів.

Перспективним напрямом вирішення проблеми з'єднань є тривимірне виготовлення схем на основі металевих вуглецевих нанотрубок [10]. За цією технологією Стенфордський університет і Toshiba виготовили інтегральні схеми, що працюють на частоті 1 ГГц. Проте до їх використання потрібно вирішити задачі очищення нанотрубок, покращення їх якості, зменшення кількості дефектів та досягнення однорідності розмірів [11].

Фізичні і технічні обмеження ліній передавання у друкованих платах долаються шляхом використання все складніших і дорожчих технологій [12]. Суттєві складнощі починаються з частот біля 500 МГц у паралельних шинах і з 2–3 ГГц у послідовних. Завдяки новим технологіям та появі матеріалів з низькими діелектричними втратами швидкість передавання інформації по електричних лініях на друкованих платах зростає до 10 Гбіт/с, але при цьому кожні нові 2 Гбіт/с вимагатимуть змін у технологіях [13].

Проблема обміну інформацією може бути вирішена за допомогою оптичних методів передавання даних, що суттєво переважають електричні за продуктивністю, щільністю розташування каналів і потужніс-

ттю споживання. Очікується досягнення швидкостей передавання інформації через оптичне волокно до 12 Тбіт/с [13]. Теоретично межа його пропускної здатності складає близько 100 Тбіт/с. Однак існують проблеми складання пристроїв і упакування схем [14]. Ідея використання оптичних каналів у мікропроцесорних системах вперше була запропонована у 1984 році [15]. На цей час виготовлені експериментальні зразки на різних оптичних принципах (оптичні пучки у вільному просторі, волоконні шлейфи, системи хвилеводів на платах та інші) [16–19]. Оптичний зв'язок на коротких відстанях потребує вирішення проблем розміщення, маршрутизації, тепловиділення та інтеграції з логічними компонентами. Для обміну між чіпами використовуються оптичні волокна, каналні хвилеводи або з'єднання через вільний простір. Оптичні волокна мають мале згасання сигналу, але складну технологію виготовлення та обмеження на радіус кривизни, що становить 1 см. Тому технологія оптичних каналних хвилеводів є перспективнішою [13]. IBM для передавання оптичних сигналів у друкованих платах було запропоновано використовувати оптичні комутатори на полімерних багатомодових хвилеводах розміром  $50 \times 50$  мкм. Проте така технологія є дорогою для впровадження у масове виробництво [14]. В IBM також виготовили експериментальний зразок оптичного комутатора, що має приблизно у 100 разів вищу пропускну здатність і у 10 разів менше енергоспоживання, ніж існуючі [20]. Теоретичний максимум пропускної здатності каналів з оптичною комутацією сягає терабайта за секунду. На площі в  $1 \text{ мм}^2$  можна розмістити до 2000 комутаторів. Багато компаній як відомих (IBM, Intel, Sun), так і новачків (Primaion), веде розробки у цьому напрямку. Але очікується, що оптичні комутатори з'являться на ринку, як мінімум, лише за декілька років. Розробку хвилеводних з'єднань для багатоядерних процесорів виконує Sun Microsystems за фінансової підтримки DARPA [21]. Такий підхід дозволить зменшити розміри виводів та збільшити швидкості передавання у сотні тисяч разів (до декількох мільярдів бітів у секунду). Проте вчені цієї компанії оцінюють вірогідність успіху проекту лише у 50 відсотків. Основною проблемою хвилевідних з'єднань є необхідність дуже точного вирівнювання їх довжин.

Існують різні способи оптичних з'єднань через вільний простір. Зображення каналів може бути сформовано однією апертурою (макрооптика), декількома апертурами менших розмірів (мініоптика), індивідуальними апертурами (мікрооптика) або будь-якою комбінацією з цих варіантів (гібридна оптика). Мікрооптика дуже обмежена у відстані передавання. Недоліком макрооптики є спотворення зображень

на периферії. Тому найперспективнішою є гібридна оптика. На теперішній момент створено декілька прототипів систем цього типу [22, 23]. Проте швидкості передавання у них не дуже високі (50–250 Мбіт/с). Крім того, технічно такі системи дуже складні й реалізовані лише в експериментальних зразках.

Характеристики основних передових технологій вирішення проблеми з'єднань показані у таблиці 1.1.

Таблиця 1.1 – Переваги та недоліки основних технологій вирішення проблеми з'єднань

Назва технології	Переваги	Недоліки
Об'ємне монтування всередині кремнію (IBM)	- загальна довжина з'єднань зменшується у 1000 разів; - кількість з'єднань збільшується у 100 разів	- взаємні завади елементів; - паразитні наведення між шарами; - збільшення потужності споживання; - складність охолодження; - ускладнення топології; - зменшення надійності
Об'ємне монтування всередині кремнію з вбудованими каналами охолодження водою (IBM)	- ті ж самі, плюс вирішення проблеми охолодження	- ті ж самі, за винятком проблеми охолодження, плюс необхідність підвищення точності технології виробництва у 10 разів
Інтегральні мікросхеми на вуглецевих нанотрубках (Стенфордський університет і Toshiba)	- реальна тактова частота становить 1 ГГц; - технологія вписується у стандартну технологію виробництва мікросхем	- не вирішені проблеми очищення нанотрубок, покращення їх якості, зменшення кількості дефектів, забезпечення однорідності розмірів.
Оптичні волокна	- висока швидкість передавання; - розвинута технологія виробництва; - мале згасання сигналу	- складна технологія пакування; - радіус кривизни не менш 1 см
Оптичні хвилеводи (Sun Microsystems)	- висока швидкість передавання; - відсутність топологічних обмежень	- необхідність точного вирівнювання довжин з'єднань
Оптичні комутатори (IBM)	- висока пропускна здатність; - мале енергоспоживання; - компактний розмір	- складна технологія виготовлення
Оптичні з'єднання через вільний простір	- відсутність витрат на середовище передавання	- низька швидкість передавання (до 250 Мбіт/сек); - значна складність таких систем

Таким чином, значні зусилля провідних науково-дослідних і виробничих установ світу, що направлені на вирішення проблеми з'єднань, підтверджують її актуальність. Сучасні досягнення та перспективні дослідження у галузі розробки засобів обчислювальної техніки можуть вирішити цю проблему у тому стані, в якому вона є на цей час. Проте вони будуть впроваджені у виробництво не раніше, ніж через 10–15 років. На той час рівень розпаралелювання, необхідний для вирішення задач обробки цифрової інформації, значно зросте (100–1000 процесорних ядер на кристалі). Це приведе до такого збільшення впливу проблеми з'єднань, що одними лише технологічними засобами її навряд чи можна буде вирішити.

## **1.2 Використання побітової обробки у сучасних технологіях**

Одним з відомих архітектурних напрямів вирішення проблеми з'єднань є побітове передавання кодів між пристроями, що дозволяє у десятки разів зменшити кількість необхідних інформаційних ліній зв'язків. Однак при цьому збільшується час передавання інформації. Для зменшення його негативного впливу на продуктивність побітове передавання суміщають з побітовою потоковою обробкою.

Побітова обробка використовується у сучасних інтегральних мікросхемах FPGA (Field-Programmable Gate Array) як один з підходів до зниження потужності споживання спеціалізованих процесорів за рахунок організації асинхронних обчислень. У [24] запропонована побітова структура асинхронних НВІС на основі двофазного двошинного кодування рівня зі зменшеним споживанням. У [25] запропоновано самотактовану побітову потокову архітектуру, в якій центральний блок синхронізації замінено з'єднаними між собою локальними блоками. Це дозволяє значно зменшити кількість довгих ліній тактування. На основі цього підходу реалізовано FPGA процесор побітової обробки даних для використання в автомобільній промисловості

Побітова обробка застосовується при розробці FPGA для цифрової обробки сигналів [26]. У [27, 28] описується реалізація на FPGA фірми ATMEЛ АТ6000 побітового СІХ-фільтра зі змінними коефіцієнтами. У [29] описано СІХ-фільтр без перемножувача, який використовує побітову арифметику, основану на 4-входовій LUT (Lookup table), та займає малу площу.

За рахунок зменшення витрат на маршрутизацію у деяких випадках продуктивність FPGA з побітовою обробкою перевищує продуктивність повнорозрядної розробки. У [30] описано FPGA побітового



процесора швидкого перетворення Фур'є, що має на 47 % меншу площу на кристалі і у три рази вищу тактову частоту порівняно з повнорозрядним аналогом. Загальний час обчислення зменшився на 27 %. У [31] вказано, що побітовий варіант НВІС більше підходить для виконання одновимірної дискретної косинус-перетворення, ніж повнорозрядний, враховуючи обмеження, що накладаються інструментами розробки, та заповненням мікросхеми. У [26] описано побітову архітектуру процесора обчислення магнітуди вектора за алгоритмом CORDIC у складі сигнального процесора радара, що вбудована в одну FPGA разом з процесором. Повнорозрядна реалізація алгоритму CORDIC сама повністю займає найбільшу існуючу FPGA.

Завдяки простоті з'єднань побітові пристрої мають вищу ефективність маршрутизації і використання виводів. У [32] описано топології з успішною маршрутизацією розміщення різних побітових розробок навіть при 100-відсотковому використанні логіки мікросхеми. У [33] описано оптимізуючий компілятор, призначений для створення бібліотеки побітових компонентів VHDL.

Для однакової технології й тактової частоти побітові та повнорозрядні пристрої будуть мати приблизно той же самий добуток «розмір» × «час». Однак при побітовій обробці період тактів коротший, оскільки затримки логіки між регістрами значно менші. Тому для неї буде меншим добуток «розмір» × «час» [34].

У сучасних мікросхемах затримка провідників є близькою до затримки вентилів. Тому продуктивність таких мікросхем визначається наявністю довгих провідників. У [35–37] описано потокові асинхронні архітектури для побітової обробки з розподіленим тактуванням, що мають підвищену продуктивність за рахунок зменшення кількості довгих провідників.

Побітова обробка у системах з реконфігуруванням дозволяє знизити потужність споживання та зменшити апаратні витрати комутаторів для маршрутизації даних і сигналів управління. У [38] описується реалізація перемножувачів довільного розміру з обмеженими ресурсами, що поєднує масив множення з реконфігуруванням, відомий як Нарощуваний Масив Блоків (Flexible Array Blocs – FAB), і побітову обробку. У [39] описано побітовий процесор з можливістю реконфігурування, що має малу площу кристала й малу кількість провідників.

В аудіопромисловості такі компанії, як Sony, Philips та інші використовують побітову обробку у цифрових системах реєстрації [40].

Оцінка переваг та недоліків використання побітової обробки сучасними технологіями показана у таблиці 1.2.

Таблиця 1.2 – Переваги та недоліки побітової обробки у сучасних технологіях

Галузь застосування	Переваги	Недоліки
Спеціалізовані цифрові засоби на основі FPGA	<ul style="list-style-type: none"> <li>- зменшення проблем маршрутизації;</li> <li>- зниження споживаної потужності та зменшення апаратних витрат схем керування за рахунок асинхронного тактування;</li> <li>- можливість реалізації складніших алгоритмів обробки за рахунок зменшення апаратних витрат;</li> <li>- зменшення часу обробки на одиницю площі мікросхеми</li> </ul>	<ul style="list-style-type: none"> <li>- зменшення швидкості обробки;</li> <li>- неможливість порозрядного виконання в єдиному потоці всіх арифметичних операцій</li> </ul>
Обчислювальні системи з можливістю реконфігурування	<ul style="list-style-type: none"> <li>- зменшення апаратних витрат на реалізацію комутаторів для маршрутизації даних та сигналів управління;</li> <li>- зниження потужності споживання та зменшення апаратних витрат схем керування за рахунок асинхронного тактування</li> </ul>	ті ж самі

### 1.3 Використання побітової обробки у перспективних технологіях майбутнього

Побітова обробка використовується у перспективних технологіях для побудови цифрових засобів наступного покоління, що мають менші розміри і більшу продуктивність обчислень.

Однією з перспективних є технологія клітинних автоматів на квантових точках (QCA), що основана на двовимірних масивах комірок. Комірки складаються з квантових точок розміром у декілька нанометрів [41, 42]. Технологія QCA потребує наднизьких температур для подолання теплових коливань у квантових точках. Зменшення розмірів квантових точок та їх теплової енергії дозволяє підняти робочу температуру.

Квантові точки розміром 2 нм можуть працювати при кімнатній температурі. QCA-пристрої споживають дуже малу енергію [43] і можуть працювати на частоті до 1ТГц [44]. QCA віднесена фахівцями до шести найперспективніших технологій майбутнього. Прогнозується її використання у мультитехнологічному підході побу-

дови високопродуктивних цифрових засобів [45]. Технологія QCA допускає перетин двох компланарних провідників через одну комірку, дозволяючи розмішувати в одній площині логіку і з'єднання. Це дає можливість виготовляти схеми в єдиному технологічному процесі без введення додаткового шару металевих з'єднань [45]. В QCA основна частина потужності використовується для синхронізації [45, 46]. Логічні вентиля і проводи створюються відповідним розташуванням комірок [47, 48]. У [43] наводяться конфігурації всіх видів тригерів на основі QCA-технології. Використання D-тригерів у пам'яті прямого доступу дозволяє отримати об'єми пам'яті порядку 5 гігабітів на один квадратний сантиметр. У [45] наводяться схемні вирішення на основі QCA для побітового і повнорозрядного додавання кодів. Через наявність значної затримки у з'єднаннях побітовий QCA-суматор має приблизно такий самий час додавання, що і повнорозрядний QCA-суматор з наскрізним перенесенням, проте займає значно меншу площу кристала. На цей час створено одномолекулярні [44] та одноатомні [49] квантові точки, що можуть працювати при кімнатній температурі. Технологія QCA не є самодостатньою і потребує використання інших технологій для забезпечення можливості синхронізації та введення-виведення інформації, оскільки не має достатньої для цього потужності [45].

Однією з найперспективніших технологій майбутнього є швидка одноквантова логіка, відома як SFQ- чи RSFQ-логіка (Rapid Single Flux Quantum logic) [50]. SFQ основана на квантових ефектах у надпровідних матеріалах [51]. Завдяки малому споживанню енергії і високій швидкості SFQ-логіка вважається наступним поколінням технології цифрових інтегральних схем [52]. SFQ базується на квантових властивостях магнітного потоку в надпровідниках [53]. Цифрові сигнали в SFQ являють собою пікосекундні імпульси, що транспортуються надпровідними лініями [51] і є одиничними квантами на найнижчому рівні енергії, дозволеному квантовою механікою. Пристрої SFQ мають низьку енергією перемикання елементів і тактову частоту понад 100 ГГц [50].

Для виготовлення SFQ-пристроїв у наукових центрах світу, таких як NYPRES (США), ISTECS і AIST (Японія), IPHT і PTB (Німеччина), VTT (Фінляндія) та інших, використовується надпровідникова ніобієва технологія, що потребує наднизьких температур для роботи. Для

охолодження SFQ-схем до  $4,2^{\circ}\text{K}$  використовуються малопотужні ма-  
логабаритні кріокулери (SUMITOMO SRDK101D, Lockheed Martin та  
інші) [50]. SFQ застосовуються у високоточних аналогоцифрових та  
цифро-аналогових перетворювачах, тригерах, регістрах зсуву, сумато-  
рах та перемножувачах [53]. SFQ може також використовуватись у  
оптичних й інших високошвидкісних мережевих перемикачах, у циф-  
ровій обробці сигналів аж до діапазону радіочастот та при побудові  
петафлопових супер-ЕОМ. Максимальна експериментально визначена  
тактова частота надпровідного T-тригера SFQ становить 750 ГГц при  
споживанні потужності всього в 0,1 мкВт [54].

Оскільки технологія SFQ оперує не рівнями напруги, а імпульса-  
ми, то у ній неможливо використовувати традиційні комбінаційні  
схеми. Будь-яка елементарна комірка SFQ, навіть якщо вона виконує  
логічну функцію, є тригером. Тому тут використовується побітова об-  
робка, яка дозволяє зменшити площу схеми й помилку синхронізації  
при реалізації пристроїв [55]. Через високу тактову частоту в SFQ-  
системах з широким масштабуванням виникає значна різниця фаз си-  
гналів тактування, що потребує асинхронного обміну за протоколом  
«рукопотиснення». У [56–58] на основі SFQ-логіки описано високош-  
видкісні побітові суматори та результати їх тестування. У [59] запро-  
поновано SFQ-процесор потоку даних з можливістю широкого масш-  
табування та реконфігурування на основі побітової обробки. У [60]  
описано оснований на технології SFQ канал обробки даних з можливі-  
стю реконфігурування, що призначений для прискорення наукових  
обчислень. SFQ-комутатори і побітові пристрої з плаваючою точкою  
забезпечують зменшення площі схем і потужності споживання порів-  
няно із напівпровідниковими. У [61] описано восьмирозрядний SFQ-  
процесор з можливістю широкого масштабування. Для підвищення  
тактової частоти використовується побітова обробка послідовних ко-  
дів і розподілене локальне тактування, при якому кожний регістр має  
свій власний тактовий генератор. Групою японських дослідників  
CONNECT розроблено восьмибітовий мікропроцесор CORE1 [62] з  
побітовою обробкою. У [50] описано побітовий RISC мікропроцесор  
CORE1 $\beta$  [63], для якого продемонстрована коректна робота з такто-  
вою частотою 20 ГГц [64]. У [65] описано побітовий потоковий вось-  
мирозрядний мікропроцесор CORE1 $\gamma$  з інтегрованою кеш-пам'яттю.  
Моделювання показало, що пікова продуктивність сягає 1 мільярда  
операцій у секунду. Результатом визнання перспективності SFQ елек-

## ЛИТЕРАТУРА

1. Июльская жара, «тирания соединений» и интегральная схема [Электронный ресурс] // VIOL: История радио: На пути к современному радио. – Режим доступа до мат. : [http://files.radioscanner.ru/files/download/file2456/istoria\\_radio\\_v\\_imenah.pdf](http://files.radioscanner.ru/files/download/file2456/istoria_radio_v_imenah.pdf).
2. Бабкин В. И. О перспективности организации российско-германской инвестиционной программы в области микроэлектроники / В. И. Бабкин. // Аналитические обзоры. – Режим доступа до мат. : <http://www.sciteclibrary.ru/rus/catalog/pages/7717.html>.
3. Interconnect Technology, IEEE International Conference // IEEE Xplore : Digital library : Browse : Conferences. – Режим доступа до мат. : <http://ieeexplore.ieee.org/xpl/conhome.jsp?punumber=1000400>.
4. Яковлев Ю. С. Однокристалльные компьютерные системы высокой производительности. Особенности архитектурно-структурной организации и внутренних процессов : монография / Ю. С. Яковлев – Винница : ВНТУ, 2009. – 294 с.
5. SoC interconnect crisis: Path delays cancel speed increase / Chappell Brown, // EE Times. – Jun. 2003. – Режим доступа до мат. : <http://www.eetimes.com/story/OEG20030620S0028>.
6. The Future of Interconnects: How Will Billions of Transistors Communicate in the Nanometer Era / Nagaraj NS - Texas Instruments Inc., Dallas, TX // 44th Design Automation Conference San Diego. – Jun. 2007. – Режим доступа до мат. : <http://dl.acm.org/citation.cfm?id=1278623&dl=ACM&coll=DL&CFID=141366031&CFTOKEN=39676461>.
7. Wilson R. Industry takes aim at 22nm interconnects stack / R.Wilson // EDN network: electronics news. – Режим доступа до мат. : <http://www.edn.com/electronics-news/4314122/Industry-takes-aim-at-22-nm-interconnect-stack>.
8. Данилина Г. IBM переводит закон Гордона Мура в третье измерение / Г. Данилина. // Наука и образование. – Режим доступа до мат. : <http://technomag.edu.ru/doc/71226.html>.
9. Будик А. IBM пронзила чипы водяными капиллярами / А. Будик. // 3D news: Новости Hardware. – Режим доступа до мат. : [http://www.3dnews.ru/news/ibm\\_osnastila\\_chipi\\_vodyanimi\\_kapillyarami/](http://www.3dnews.ru/news/ibm_osnastila_chipi_vodyanimi_kapillyarami/).
10. Novikov A. Применение наноструктурированных материалов в технологии соединений / А. Novikov. // Abercate consulting: Аналитика. – Режим доступа до мат. : <http://www.abercate.ru/research/analysis/1134.html>.
11. Свиденко Ю. 1 ГГц интегральная схема с межсоединениями из углеродных нанотрубок / Ю. Свиденко. // Nano News Net: Главная: Новости. – Режим доступа до мат. : <http://www.nanonewsnet.ru/news/2008/1-ggts-integralnaya-skHEMA-s-mezhsoedineniyami-iz-uglerodnykh-na-notrubok/>.

12. Медведев А. И. Технологическое обеспечение надежности межсоединений / А. И. Медведев. // Технология электронной промышленности. – 2005. – № 5. – Режим доступа до мат. : [http://www.tech-e.ru/pdf/2005\\_05\\_60.pdf](http://www.tech-e.ru/pdf/2005_05_60.pdf).
13. Ахманов А. С. Оптическая передача информации в супер-ЭВМ и микропроцессорных системах / А. С. Ахманов, О. Е. Наний, В. Я. Панченко. // Lightwave Russian Edition. – 2008. – № 3. – Режим доступа до мат. : [http://photonics.net.ua/files/LRE/2008\\_No\\_3.pdf](http://photonics.net.ua/files/LRE/2008_No_3.pdf).
14. Mikami Osamu, Uchida Teiji «*Opto-Electronics Packaging Technology, Present Status and Prospect*,» Review of Laser Engineering Journal, – 2000. – Vol. 30., No. 10. – P. 571-575.
15. Goodman, J. W. Optical interconnections for VLSI systems / J. W. Goodman, F. J. Leonberger, S.-Y. Kung, R. A. Athale // IEEE, Proceedings (ISSN 0018-9219). – Jul. 1984. – vol. 72. – P. 850–866. – Режим доступа до мат. : <http://adsabs.harvard.edu/abs/1984IEEEP..72..850G>.
16. Lacy S. W. The Offset Cube: A Three-Dimensional Multicomputer Network Topology Using Through-Wafer Optics / W. S. Lacy, J. L. Cruz-Rivera, D. S. Wills // IEEE Transactions on Parallel and Distributed Systems. – Sept. 1998. – Vol. 9. – Is. 9. – P. 893–908. – Режим доступа до мат. : <http://www2.computer.org/portal/web/csdl/doi/10.1109/71.722222>.
17. Facanga H. S. Design of fresnel holograms for optical interconnection of VLSI / H. S. Facanga, D. R. Selviah, K. Steptoe, M. Zhi-Qiang // Second International Conference on Holographic Systems, Components and Applications. IEEE, London, UK. – 1989. – P. 213–217. – Режим доступа до мат. : <http://eprints.ucl.ac.uk/2671/1/2671.pdf>.
18. Chou J. Robust free space board-to-board optical interconnect with closed loop MEMS tracking / J. Chou, K. Yu, D. Horsley, B. Yoxall, S. Mathai, M. R. T. Tan, S.-Y. Wang, M. C. Wu // Applied Physics A: Materials Science & Processing. – Jun. 2009. – Vol. 95. – No 4. – P. 973–982. – Режим доступа до мат. : <http://www.springerlink.com/content/5u811h05gjk72u76/>.
19. Kang M. Floating dielectric slab optical interconnection between metal-dielectric interface surface plasmon polariton waveguides / M. Kang, J. Park, I.-M. Lee, B. Lee // Optics Express. – Jan. 2009. –Vol. 17. – Is. 2. – P. 676–687. – Режим доступа до мат. : <http://www.opticsinfobase.org/oe/abstract.cfm?uri=oe-17-2-676>.
20. Харьковский А. Оптический коммутатор IBM для применения в процессорах. / Александр Харьковский // 3DNews : Новости Hardware – Режим доступа до мат. : [http://www.3dnews.ru/news/opticheskii\\_kommutator\\_ibm\\_dlya\\_primeneniya\\_v\\_protsessorah/](http://www.3dnews.ru/news/opticheskii_kommutator_ibm_dlya_primeneniya_v_protsessorah/).
21. Overton G. Photonics applied: Can optical integration solve the computational bottleneck? / G. Overton – Режим доступа до мат. : <http://www.laserfocusworld.com/articles/2009/03/photonics-applied-integrated-photonics-can-optical-integration-solve-the-computational-bottleneck.html>.

22. Venditti M. B. Design and test of an optoelectronic VLSI chip with 40 element receiver transmitter arrays using differential optical signaling / M. B. Venditti, E. Laprise, J. Faucher et al. // IEEE J. Select. Topics Quantum Electron. – 2003. – Vol. 9. – No. 2. – P. 361.
23. Geib K. M. Fabrication and performance of two dimensional matrix addressable arrays of integrated vertical-cavity lasers and resonant cavity photodetectors / K. M. Geib, K. D. Choquette, D. K. Serkland et al. // IEEE J. Select. Topics Quantum Electron. – 2002. – Vol. 8. – P. 943.
24. Hariyama M. A Field-Programmable VLSI Based on an Asynchronous Bit-Serial Architecture / M. Hariyama, S. Ishihara, C. Wei, M. Kameyama // In: IEEE, Asian Solid-State Circuits Conference / Jeju, Korea. – Nov. 2007. – P. 380–383.
25. Rettberg A. A Fully Self-Timed Bit-Serial Pipeline Architecture for Embedded Systems / A. Rettberg, M. Zanella, C. Bobda, T. Lehmann – 2003. – Режим доступа до мат. : <http://citeseerx.ist.psu.edu/viewdoc/summary?doi=10.1.1.6.3923>.
26. Andraka R. J. Building a high performance bit-serial processor in an FPGA / R. J. Andraka // Design SuperCom: Andraka consulting group: On-chip system design conference. – 1996.
27. Ferguson L. FPGA-based FIR Filter Using Bit-Serial Digital Signal Processing / Lee Ferguson – 2000. – Режим доступа до мат. : [http://www.atmel.com/dyn/resources/prod\\_documents/DOC0529.PDF](http://www.atmel.com/dyn/resources/prod_documents/DOC0529.PDF).
28. Andraka R. J. FIR Filter Fits in an FPGA using a Bit Serial Approach / Raymond J. Andraka – 2007. – Режим доступа до мат. : <http://www.andraka.com/files/fir.pdf>.
29. Longa P. Area-Efficient FIR Filter Design on FPGAs using Distributed Arithmetic / P. Longa, A. Miri – 2006. – Режим доступа до мат. : <http://www.computer.org/portal/web/csdl/doi/10.1109/ISSPIT.2006.270806>.
30. Fabris E. E. A bit-serial FFT processor / E. E. Fabris, G. A. Hoffmann, A. Susin, L. Carro – 2001. – Режим доступа до мат. : <http://ie.fing.edu.uy/investigacion/grupos/microele//iberchip/pdf/50.pdf>.
31. David Crook, John Fulcher, «A Comparison of Bit Serial and Bit Parallel DCT Designs,» VLSI Design. – 1995. – Vol. 3. – No. 1. – P. 59–65.
32. Tsuyoshi Isshiki. «High-Performance Bit-Serial Datapath Implementation for Large-Scale Configurable Systems.» PhD thesis, University of California at Santa Cruz, USA, 1996.
33. Cyca D. Bit-Serial Digital Filter Implementation using a Custom C Compiler / D. Cyca, L.E. Turner – 2007. – Режим доступа до мат. : [http://ieeexplore.ieee.org/xpl/freeabs\\_all.jsp?arnumber=4145449](http://ieeexplore.ieee.org/xpl/freeabs_all.jsp?arnumber=4145449).
34. Turner L. E. Bit-serial FIR Filters with CSD Coefficients for FPGAs / L. E. Turner, P. J. W. Graumann, S. G. Gibb – 2007. – Режим доступа до мат. : <http://www.springerlink.com/content/y15j4101w4281441/fulltext.pdf?page=1>.

35. Weber R. Implementation of the AES Algorithm for a Reconfigurable Bit Serial, Fully Pipelined Architecture / R. Weber, A. Rettberg – 2009. – Режим доступа до мат. : <http://www.springerlink.com/content/x488826185315065/>.
36. Rettberg A. Towards a High-Level Synthesis of Reconfigurable Bit-Serial Architectures / A. Rettberg, F. Dittmann, M. Zanella, T. Lehmann – 2003. – Режим доступа до мат. : <http://www2.computer.org/portal/web/csdl/abs/proceedings/sbcc/2003/2009/00/20090079abs.htm>.
37. Dittmann F. Path Concepts for a Reconfigurable Bit-Serial Synchronous Architecture / F. Dittmann, A. Rettberg, R. Weber – 2005. – Режим доступа до мат. : <http://www.springerlink.com/content/y5kk543864352395/fulltext.pdf?page=1>.
38. Visavakul C. A Digit-Serial Structure for Reconfigurable Multipliers / C. Visavakul, P. Y. K. Cheung, and W. Luk – 2002. – Режим доступа до мат. : <http://www.doc.ic.ac.uk/rr2001/luk.pdf>.
39. Ban T. Development of Digit-serial Floating Point Units for Scientific Computation Engine / T. Ban, Y. Shiraishi, K. Tanigawa, T. Hironaka – 2008. – Режим доступа до мат. : <http://www.ieice.org/ken/paper/20080926oa5f/eng/>.
40. Wu X. One-bit processing for real-time control / X. Wu, R. Goodall – 2003. – Режим доступа до мат. : <http://www.nt.ntnu.no/users/skoge/prost/proceedings/ecc03/pdfs/563.pdf>.
41. Свидиненко Ю. Клеточные автоматы на квантовых точках : Nanotechnology News Network / Ю. Свидиненко – 2006 – Режим доступа до мат. : <http://old.nanonewsnet.ru/index.php?module=Pageseter&func=viewpub&tid=9&pid=93>.
42. I. Amlani, A. O. Orlov, G. Toth, G. H. Bernstein, C. S. Lent, G. L. Snider «*Digital Logic Gate Using Quantum-Dot Cellular Automata,*» SCIENCE. – Vol. 284. – Apr. 1999. – P. 289–291.
43. Vetteth A. Quantum-dot cellular automata of flip-flops / A. Vetteth, K. Walus, V. S. Dimitrov, G. A. Jullien The national Conference on Communications. – 2003. – Режим доступа до мат. : [www.ncc.org.in/download.php?f=NCC2003/L-6.pdf](http://www.ncc.org.in/download.php?f=NCC2003/L-6.pdf).
44. Niemier M. Dataflow in molecular QCA: Logic can «sprint», but the memory wall can still be a «hurdle» / M. Niemier, P. Kogge, R. Murphy [та ін.] // University of Notre Dam, Department of Computer Science and Engineering. – 2006. – Режим доступа до мат. : <http://www.cse.nd.edu/Reports/2006/TR-2006-14.pdf>.
45. K. Walus, G.A. Jullien, and V.S. Dimitrov, «*Computer Arithmetic Structures for Quantum Cellular Automata,*» Proc. Conf. Record of the 37th Asilomar Conf. Signals, Systems, and Computers. – 2003. – Vol. 2. – P. 1435–1439.



46. Timler, J., Lent, C.S., «*Power gain and dissipation in quantum-dot cellular automata*,» J. Appl. Phys., American Institute of Physics. – 2002. – No 91 (2). – P. 823.
47. Bit-Serial Adder Based on Quantum Dots : Tech briefs / Electronics & computers // NASA's Jet Propulsion Laboratory, Pasadena, California – 2003 – Режим доступа до мат. : <http://www.techbriefs.com/component/content/article/911>.
48. W. J. Townsend, J. A. Abraham, «*Complex Gate Implementations for Quantum Dot Cellular Automata*,» 4th IEEE Conference on Nanotechnology. – Munich, Germany, 2004. – August 17–19. – P. 625–627.
49. Свидиненко Ю. Одноатомная квантовая точка приближает эру квантовых компьютеров / Ю. Свидиненко – 2009. – Режим доступа до мат. : <http://www.nanonewsnet.ru/news/2009/odnoatomnaya-kvantovaya-tochka-priblizhaet-eru-kvantovykh-kompyuterov>.
50. V. K. Kornev, I. I. Soloviev and O. A. Mukhanov, «*Possible Approach to the Driver Design Based on Series SQIF*,» IEEE Transaction on Applied Superconductivity. – 2005. – Vol. 15. – P. 388–391.
51. Zinoviev D. High-speed rapid single flux quantum (RSFQ). – Режим доступа до мат. : <http://citeseerx.ist.psu.edu/viewdoc/summary?doi=10.1.1.54.6337>.
52. M. Tanaka, K. Obata, K. Takagi, N. Takagi, A. Fujimaki, N. Yoshikawa «*A High-Throughput Single-Flux-Quantum Floating-Point Serial Divider Using the Signed-Digit Representation*,» // IEEE Transactions on Applied Superconductivity. – 2009. – Vol. 19. – P. 653–656.
53. Приборы на основе сверхпроводимости – 2009. – Режим доступа до мат. : <http://radiomaster.ru/articles/view/587/>.
54. Зиновьев Д. Леденящая альтернатива / Д. Зиновьев – 1999. – Режим доступа до мат. : <http://cs.mipt.ru/docs/comp/rus/hardware/other/altern/index.html>.
55. H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, A. Fujimaki, N. Takagi, «*Novel serial-parallel converter using SFQ logic circuits*,» Physica C. – Sep. 2008. – Vol. 468. – P. 1977–1982.
56. M. Ito, K. Kawasaki, N. Yoshikawa, A. Fujimaki, H. Terai, S. Yorozu, «*20 GHz operation of bit-serial handshaking systems using asynchronous SFQ logic circuits*,» // IEEE Transactions on Applied Superconductivity. – Jun. 2005. – Vol. 15. – P. 255–258.
57. K. Kawasaki, K. Yoda, N. Yoshikawa, A. Fujimaki, H. Terai, S. Yorozu, «*Design and implementation of a high-speed bit-serial SFQ adder based on the binary decision diagram*,» Supercond. Sci. Technol. – 2003. – Vol.16. – No. 12. – P. 1497–1502.

58. H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, K. Obata, Y. Ito, A. Fujimaki, N. Takagi, K. Takagi, S. Nagasawa, «*Design, Implementation, and On-Chip High-Speed Test of an SFQ Half-Precision Floating-Point Adder,*» IEEE Transaction on Applied Superconductivity. – Jun. 2009. – Vol. 19. – P. 634–639.
59. H. Hara, K. Obata, H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, A. Fujimaki, N. Takagi, K. Takagi, S. Nagasawa, «*Design, Implementation and On-Chip High-Speed Test of SFQ Half-Precision Floating-Point Multiplier,*» IEEE Transaction on Applied Superconductivity. – Jun. 2009. – Vol. 19. – P. 657–660.
60. S. Iwasaki, M. Tanaka, Y. Yamanashi, H. Park, H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi, K. Murakami, H. Honda, K. Inoue, «*Design of a reconfigurable data-path prototype in the single-flux-quantum circuit,*» Supercond. Sci. Technol. – 2007. – Vol. 20. – P. 328–331.
61. N. Yoshikawa, F. Matsuzaki, N. Nakajima, K. Fujiwara, K. Yoda, K. Kawasaki, «*Design and Component Test of a Tiny Processor Based on the SFQ Technology,*» IEEE Transaction on Applied Superconductivity. – 2003. – Vol. 13. – P. 441–445.
62. Researchers Build Superconducting Processor : Electromagnetic News Report – 2004. – Режим доступа до мат. : <http://www.highbeam.com/doc/1P3-663524731.html>.
63. M. Tanaka, F. Matsuzaki, T. Kondo, N. Nakajima, Y. Yamanashi, H. Terai, S. Yorozu, N. Yoshikawa, A. Fujimaki, H. Hayakawa, «*Prototypic design of the single-flux-quantum microprocessor, CORE1*», Superconductor Science and Technology. – Dec. 2003. – Vol. 16. – Is. 12. – P. 1460–1463.
64. N. Nakajima, F. Matsuzaki, Y. Yamanashi, N. Yoshikawa, M. Tanaka, T. Kondo, A. Fujimaki, H. Terai, S. Yorozu, «*Design and implementation of circuit components of the SFQ microprocessor CORE1,*» Superconductor Science and Technology. – 2004. – Vol. 17. – P. 301–307.
65. Design and implementation of a pipelined 8 bit-serial single-flux-quantum microprocessor with cache memories : Superconductor Science and Technology / M. Tanaka, Y. Yamanashi, N. Irie [та ін.] – 2007. – Режим доступа до мат. : <http://www.iop.org/EJ/abstract/0953-2048/20/11/S01>.
66. Superconducting Technology Assessment (NSA, Office of Corporate Assessments) : Nitrd Publications – Aug., 2005. – Режим доступа до мат. : <http://www.nitrd.gov/Publications/PublicationDetail.aspx?pubid=42>.
67. A. Geraci, S. Riboldi, G. Ripamonti, «*Fixed-point DSP timing of pulses based on a high-precision division technique,*» Proc. of the EUSIPCO 2000 - X European Signal Processing Conference, Tampere, Finland, Sept. 2000.

68. J.-S. Chiang, H.-D. Chung, M.-S. Tsai, «*Carry-Free Radix-2 Subtractive Division Algorithm and Implementation of the Divider*,» Tamkang Journal of Science and Engineering. – 2000. – Vol. 3. – No. 4. – P. 249–255.
69. K. K. Parhi, «*A systematic approach for desing of digit-serial signal processing architectures*,» IEEE Transactions on circuits and systems. – Apr. 1991. – Vol. 38. – No. 4. – P. 358–375.
70. Roesler, E., and B. Nelson, «*Novel Optimizations for Hardware Floating-Point Units in a Modern FPGA Architecture*,» Proc. 12th Int'l Conf. Field-Programmable Logic and Applications, LNCS #2438. – 2002. – P. 637–646.
71. C. Leal, C. Meihlac, A. Pesme, J.-F. Bercher, C. Vignat, «*Recovering binary data transmitted over unknown communication channels*,» in Proc. of DSPCONF Texas-Instrument, Noisy-le-Grand. – Sept. 1998. – P., pp. 119–124.
72. Самофалов К. Г. Основы теории многоуровневых конвейерных вычислительных систем : монография / К. Г. Самофалов, Г. М. Луцкий – Москва : Радио и связь, 1989. – 272 с.
73. Кухарчук А. Г. Конвейерный принцип обработки информации / А. Г. Кухарчук, Г. М. Луцкий, Г. В. Реутов // Кибернетика. – 1968. – № 6. – С. 43–49.
74. Самофалов К. Г. Структуры и организация функционирования ЭВМ и систем : монография / К. Г. Самофалов, Г. М. Луцкий. – Київ : Вища школа, 1981. – 224 с.
75. Самофалов К. Г. Основы построения конвейерных ЭВМ : монография / К. Г. Самофалов, Г. М. Луцкий – Київ : Вища школа, 1978. – 392 с.
76. Жабин В. И. Косвенный функциональный контроль вычислительных систем / В. И. Жабин // Комп'ютери у Європі. Минуле, сучасне та майбутнє : міжнародний симпозіум : праці – Київ : Фенікс, 1998. – С. 363–366.
77. Жабин В. И. Методы вычисления некоторых функций при поразрядном вводе и выводе информации / В. И. Жабин, В. И. Корнейчук, В. П. Тарасенко // Известия вузов : Приборостроение. – 1978. – № 2. – С. 64–69.
78. Жабин В. И. Метод быстрого неавтономного воспроизведения функций / В. И. Жабин, В. И. Корнейчук, В. П. Тарасенко // Управляющие системы и машины. – 1977. – № 3. – С. 96–101.
79. Жабин В. И. Метод повышения быстродействия квазипараллельных однородных цифровых интегрирующих структур / В. И. Жабин, Н. А. Ковалев // Проблеми інформатизації та управління. – 2008. – № 1 (23). – С. 103–109.
80. Ковалев Н. А. Исследование метода реализации баллистического вычислителя на базе FPGA / Н. А. Ковалев, Н. И. Кравченко,

В. Т. Стефанович // Артиллерийское и стрелковое вооружение. – 2007. – № 3 (24). – С. 42–47.

81. Каляев А. В. Многопроцессорные системы с программируемой архитектурой : монография / А. В. Каляев. – М. : Радио и связь, 1984. – 240 с.

82. Каляев А. В. Теория цифровых интегрирующих машин и структур : монография / А. В. Каляев. – М. : Советское радио, 1970. – 472 с.

83. Гузик В. Ф. Модульные интегрирующие вычислительные структуры : монография / В. Ф. Гузик. – М. : Радио и связь, 1984. – 216 с.

84. Жабин В. И. Реализация цифровых интеграторов на ПЛИС / В. И. Жабин, Н. А. Ковалев // Проблеми автоматизації і управління. – 2007. – № 1 (19). – С. 50–55.

85. Жабин В. И. Исследование методов построения вычислительных устройств на основе FPGA / В. И. Жабин, Н. А. Ковалев // Технология и конструирование в электронной аппаратуре. – 2002. – № 2. – С. 35–39.

86. Каляев И. А. Высоко-производительные многопроцессорные вычислительные системы с программируемой архитектурой на основе ПЛИС / И. А. Каляев, И. И. Левин // Моделирование–2006 : Материалы международной конференции – К. : ИПМЭ НАНУ. – 2006. – С. 41–46.

87. Ковалев Н. А. Об одном методе перестраивания цифровых интегрирующих машин / Н. А. Ковалев // Штучний інтелект. – 2009. – № 1. – С. 166–174.

88. Дичка И. А. Совмещение зависимых операций на уровне обработки разрядов операндов / И. А. Дичка, В. В. Жабина // Штучний інтелект. – 2008. – № 3. – С. 649–654.

89. Дичка И. А. Метод вычисления функций в неавтономном режиме / И. А. Дичка, В. В. Жабина // Штучний інтелект. – 2009. – № 4. – С. 409–414.

90. Березький О. Методи та НВІС-структури для множення матриці на матрицю у реальному часі / О. Березький, І. Цмоць // Вісник Національного університету «Львівська політехніка» : Комп'ютерні системи проектування. Теорія і практика. – 2007. – № 591. – С. 63–76.

91. Каляев И. А. Реконфигурируемые мультиконвейерные вычислительные структуры : монография / И. А. Каляев, И. И. Левин, Е. А. Семерников, В. И. Шмойлов – Ростов-на-Дону : Издательство ЮНЦ РАН, 2008. – 393 с.

92. Евреинов Э. В. Однородные универсальные вычислительные системы высокой производительности : монография / Э. В. Евреинов, Ю. Г. Косарев – Новосибирск : Наука, 1966. – 308 с.

93. Евреинов Э. В. Цифровые автоматы с перестраиваемой структурой : монография / Э. В. Евреинов, И. В. Прангишвили – М. : Энергия, 1974. – 240 с.

94. Микроэлектроника и однородные структуры для построения логических и вычислительных устройств : монография / И. В. Прангшвили, Н. А. Абрамова, Б. В. Бабичева, В. В. Игнатущенко. – М. : Наука, 1967. – 228 с.
95. Русин Б. П. Реконфигурируемые высокопроизводительные системы на однородных средах / Б. П. Русин, М. Н. Кузьо, В. И. Шмойлов // Автоматика и вычислительная техника. – Рига, 2000. – № 3. – С. 72–81.
96. Русин Б. П. Пульсирующие информационные решетки – новое поколение однородных вычислительных сред / Б. П. Русин, М. Н. Кузьо, В. И. Шмойлов // Автоматика и вычислительная техника. – Рига, 2002. – № 1. – С. 60–71.
97. Самчинский А. А. Архитектура однородной вычислительной среды : монография / А. А. Самчинский, В. С. Седов, В. И. Шмойлов – Львов : Интеграл, 1991. – 228 с.
98. Элементная база ОВС : монография / В. С. Седов, В. Н. Соболев, А. А. Самчинский [и др.] – Львов : ИППММ АН УССР, 1989. – 38 с.
99. Шмойлов В. И. Организация вычислительного процесса в мультиконвейерной вычислительной структуре : монография / В. И. Шмойлов – Львов : Интеграл, 1991. – 93 с.
100. Шмойлов В. И. Однородные вычислительные среды и пульсиры : монография / В. И. Шмойлов, Б. П. Русин, М. Н. Кузьо и др. – Львов : Меркатор, 2001. – 62 с.
101. Каляев А. В. Принципы построения программно-аппаратных средств супермакрокомпьютеров / А. В. Каляев, О. Б. Станишевский // Информатика : Сер. Автоматизация проектирования. – Москва, 1990. – Вып. 2. – С. 13–12.
102. Каляев А. В. Макропроцессорный комплект СБИС / А. В. Каляев, О. Б. Станишевский, Б. Г. Фрадкин // Однородные вычислительные среды и систолические структуры : материалы I Всесоюзной конференции – Львов, 1990. – Т2. – С. 33–46.
103. Семейство многопроцессорных вычислительных систем с динамически перестраиваемой архитектурой / А. И. Дордопуло, И. А. Каляев, И. И. Левин, Е. А. Семерников – 2007. – Режим доступа до мат. : <http://fpga.parallel.ru/papers/dordopulo.pdf>
104. M. Tanaka, K. Obata, K. Takagi, N. Takagi, A. Fujimaki, N. Yoshikawa, «*A high-throughput single-flux-quantum floating-point serial divider using the signed-digit representation.*» // IEEE Transaction on Applied Superconductivity – Jun. 2009. – Vol. 19. – P. 653–656.
105. Bit-serial FIR Filters with CSD Coefficients for FPGAs / L. E. Turner, P. J. W. Graumann, S. G. Gibb – 2007. – Режим доступа до мат. : <http://www.springerlink.com/content/y15j4101w4281441/fulltext.pdf?page=1>

106. A. Tisserand, P. Marchal, C. Piguet, «*An on-line arithmetic based FPGA for low power custom computing*,» Field Programmable Logic and Applications, 9th International Workshop, FPL'99, Proceedings (Lecture Notes in Computer Science vol. 1673), Lysaght, P., et al., eds. – Aug. 1999. – P. 264–273.

107. R. Galli, A.F. Tenca, «*Design and evaluation of online arithmetic for signal processing applications on FPGA*,» in Proc. SPIE Int. Conf. High-Speed Computing, Digital Signal Processing, Filtering Using Reconfigurable Logic – Aug. 2001. – P. 134–144.

108. Rajagopal, S., and J.R. Cavallaro, «*Truncated Online Arithmetic with Applications to Communication Systems*,» IEEE Trans. Computers, – 2006. – Vol. 55 – No. 10. – P. 1240–1252.

109. Азаров О. Д. Основи теорії аналогоцифрового перетворення на основі надлишкових позиційних систем числення : монографія / Азаров О. Д. – Вінниця : УНІВЕРСУМ-Вінниця, 2004. – 260 с.

110. Азаров О. Д. Аналогоцифрове порозрядне перетворення на основі систем числення з ваговою надлишковістю : монографія / О. Д. Азаров. – Вінниця : ВНТУ, 2010. – 232 с.

111. Азаров О. Д. Високолінійні порозрядні АЦП з ваговою надлишковістю : монографія / О. Д. Азаров, О. А. Архипчук, С. М. Захарченко. – Вінниця : УНІВЕРСУМ-Вінниця, 2005. – 125 с.

112. Захарченко С. М. Самокалібровані АЦП із накопиченням заряду на основі надлишкових позиційних систем числення : монографія / С. М. Захарченко, О. Д. Азаров, О. М. Харьков ; під заг. ред. О. Д. Азарова. – Вінниця : УНІВЕРСУМ-Вінниця, 2005. – 235 с.

113. Азаров О. Д. Конвеєрні аналогоцифрові перетворювачі з ваговою надлишковістю : монографія / О. Д. Азаров, О. В. Шапошников, С. М. Захарченко. – Вінниця : УНІВЕРСУМ-Вінниця, 2006. – 157 с.

114. Корнійчук В. І. Основи комп'ютерної арифметики. / В. І. Корнійчук, В. П. Тарасенко, О. В. Тарасенко-Клятченко. – К. : Корнейчук, 2006. – 164 с.

115. Bergman G. A number system with an irrational base. – Mathematics Magazine, – 1957. – No. 31. – P. 98-119.

116. Стахов А. П. Коды золотой пропорции / А. П. Стахов. – М. : Радио и связь, 1984. – 152 с.

117. А. с. 696452 СССР, МКИ<sup>3</sup> G 06 F 7/50 Последовательный сумматор / А. П. Стахов, В. А. Лужецкий, А. В. Оводенко (СССР). – № 251729418-24 ; заявл. 17.08.77 ; опубл. 05.11.79, Бюл. № 41.

118. Блинова Т. А. Аппаратурный контроль конвейерных преобразователей информации. : автореф. дисертації канд. техн. наук :

05.13.13 «Вычислительные машины, комплексы, системы и сети» / Т. А. Блинова – К., 1988. – 16 с.

119. А. с. 1137460 СССР, МКИ<sup>3</sup> G 06 F 7/49. Конвейерный сумматор / Г. М. Луцкий, Т. А. Блинова, А. В. Корочкин (СССР). – № 3606399/24–24 ; заявл. 30.03.83 ; опубл. 30.01.85, Бюл. № 4.

120. Луцкий Г. М. Структурная организация конвейерных устройств для обработки кодов «золотой» пропорции Г. М. Луцкий, Т. А. Блинова, С. Ф. Дрофа // материалы V всесоюзной школы-семинара Распараллеливание обработки информации. : – Львов. – 1985. – С. 81–82.

121. Лужецький В. А. Високонадійні математичні Фібоначчі-процесори : монографія – Вінниця : УНІВЕРСУМ-Вінниця, 2000. – 248 с.

122. Белявский В. Л. Об одном подходе к организации вычислений в дискретных устройствах / В. Л. Белявский, Ю. Л. Иваськив, В. С. Харам // Управляющие системы и машины. – 1976. – № 4. – С. 90–96.

123. Функция Хевисайда – Режим доступа до мат. : [dic.academic.ru /dic.nsf/ruwiki/193406](http://dic.academic.ru/dic.nsf/ruwiki/193406).

124. Березюк Н. Т. Кодирование информации / Н. Т. Березюк, А. Г. Андрущенко, С. С. Мощицкий и др. – Харьков : Вища школа, 1978. – 252 с.

125. Kautz W. H. Fibonacci codes for synchronization control – IEEE Trans. Inform. Theory. – 1965. – Vol. 11. – No 8. – P. 284–292.

126. Черняк О. І. Системи числення для конвеєрної порозрядної обробки послідовних кодів / О. І. Черняк // Реєстрація, зберігання і обробка даних. – 2000. – Т. 2, № 4. – С. 18–26. – ISSN 1560-9189.

127. Азаров О. Д. Розробка і моделювання адитивних перетворень у системах числення з адитивним та мультиплікативним співвідношеннями між вагами розрядів / О. Д. Азаров, О. І. Черняк // Контроль і управління в складних системах (КУСС-2005) : VIII Міжнар. конф., 24-27 жовтня 2005 р.: тези доповідей – Вінниця, 2005. – С. 26.

128. Азаров О. Д. Рекурсивні алгоритми адитивних перетворень в АМ-системах числення / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2010. – № 2 (18). – С. 32–37.

129. Азаров О. Д. Властивості адитивних перетворень в АМ-системах числення / О. Д. Азаров, О. І. Черняк // АВІА-2004 : матеріали VI Міжнародної науково-технічної конференції (26-28 квітня 2004 р.) – Київ. – 2004. – Т. 1. – С. 13.61–13.64.

130. Азаров О. Д. Додавання у системах числення з адитивними та мультиплікативними співвідношеннями між розрядами / О. Д. Азаров, О. І. Черняк, Д. О. Черняк // Вісник Вінницького політехнічного інституту. – 2004. – № 2. – С. 71–76. – ISSN 1997–9266.

131. Азаров О. Д. Визначення довжини перенесення при додаванні в системах числення з адитивними та мультиплікативними співвідношеннями між вагами розрядів / О. Д. Азаров, О. І. Черняк // Обчислювальна техніка та автоматизація : наукові праці Донецького національного технічного університету. – 2004. – Випуск 74. – С. 401–407.
132. Азаров О. Д. Розрядність пристроїв порозрядного додавання в АМ-системах числення [Електронний ресурс] / О. Д. Азаров, О. І. Черняк // Наукові праці ВНТУ. – 2010. – № 4. – С. 1–9. – Режим доступу до журналу : [http://www.nbuuv.gov.ua/e-journals/VNTU/2010\\_4/2010-4.files/uk/10odaics\\_ua.pdf](http://www.nbuuv.gov.ua/e-journals/VNTU/2010_4/2010-4.files/uk/10odaics_ua.pdf).
133. Азаров О. Д. Порівняльні оцінки систем числення для порозрядного оброблення / О. Д. Азаров, О. І. Черняк // Інтернет–Освіта–Наука : VII Міжнародна науково-практична конференція – 2010, 28 вересня – 3 жовтня 2010 р. : тези доповідей – Вінниця : ВНТУ, 2010. – С. 364–367. – ISBN 978-966-641-377-5.
134. Азаров О. Д. Методи конвеєрної порозрядної обробки послідовних кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Вісник Вінницького політехнічного інституту. – 1996. – № 1. – С. 18–22.
135. Азаров О. Д. Алгоритмічні основи побітової обробки кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2006. – № 2(6). – С. 28–43.
136. Азаров О. Д. Метод побітового конвеєрного ділення довільних форм прямих кодів золотої 1-пропорції / О. Д. Азаров, О. І. Черняк // Проблеми інформатизації та управління. – 2011. – Вип. 3(35). – С. 5–12. – ISSN 2073-4751.
137. Азаров А. Д. Полнофункциональная побитовая обработка результатов аналогоцифрового преобразования / А. Д. Азаров, А. И. Черняк // Методи та засоби кодування, захисту й ущільнення інформації : Третя міжнародна наук.-практ. конф., 20–22 квітня 2011р. : тези доповідей. – Вінниця : ВНТУ. – 2011. – С. 208–209.
138. Азаров О. Д. Метод оперативного самокалібрування АЦП порозрядного наближення з ваговою надлишковістю / О. Д. Азаров, О. І. Черняк // Вісник Вінницького політехнічного інституту. – 2012. – № 3. – С. 142–147. – ISSN 1997-9266.
139. Рабинович З. Л. Типовые операции в вычислительных машинах. / З. Л. Рабинович, В. А. Раманускас. – К. : Техніка, 1980. – 264 с., ил.
140. Муханин Л. Г. Схемотехника измерительных устройств : учебное пособие / Муханин Л. Г. – СПб. : Лань, 2009. – 288 с. : ил.
141. А. с. 1170449 СССР, МКИ<sup>3</sup> G 06 F 7/49. Последовательный сумматор кодов с иррациональными основаниями / В. А. Лужецкий,



А. И. Черняк, В. В. Кондратенко, Д. А. Стахов (СССР). – № 3608773/24-24 ; заявл. 17.06.83 ; опубл. 30.07.85, Бюл. № 28.

142. А. с. 1259249 СССР, МКИ<sup>3</sup> G 06 F 7/40. Последовательный сумматор кодов с иррациональными основаниями / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, И. С. Соболева, А. Е. Андреев (СССР). – № 3836694/24-24 ; заявл. 07.01.85 ; опубл. 23.09.86, Бюл. № 35.

143. А. с. 1262482 СССР, МКИ<sup>3</sup> G 06 F 7/52. Последовательное устройство для умножения / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка (СССР). – № 3861122/24-24 ; заявл. 07.10.86 ; опубл. 07.10.86, Бюл. № 37.

144. А. с. 1361544 СССР, МКИ<sup>3</sup> G 06 F 7/49. Устройство для деления кодов «золотой пропорции» / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка (СССР). – № 4062926/24-24 ; заявл. 29.04.86 ; опубл. 23.12.87, Бюл. № 47.

145. А. с. 1439577 СССР, МКИ<sup>3</sup> G 06 F 7/49. Последовательный сумматор кодов с иррациональными основаниями / А. П. Стахов, А. А. Козак, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4241943/24-24 ; заявл. 12.05.87 ; опубл. 23.11.88, Бюл. № 43.

146. А. с. 1444754 СССР, МКИ<sup>3</sup> G 06 F 7/52. Последовательное устройство для умножения / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4276300/24-24 ; заявл. 06.07.87 ; опубл. 15.12.88, Бюл. № 46.

147. А. с. 1546970 СССР, МКИ<sup>3</sup> G 06 F 7/49. Последовательный сумматор / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев, В. В. Кондратенко (СССР). – № 4457135/24-24 ; заявл. 09.06.88 ; опубл. 28.02.90, Бюл. № 8.

148. А. с. 1552175 СССР, МКИ<sup>3</sup> G 06 F 7/49. Устройство для деления / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4482078/24-24 ; заявл. 12.09.88 ; опубл. 23.03.90, Бюл. № 11.

149. А. с. 1571573 СССР, МКИ<sup>3</sup> G 06 F 7/49. Последовательный сумматор / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4472420/24-24 ; заявл. 09.08.88 ; опубл. 15.06.90, Бюл. № 22.

150. А. с. 1608644 СССР, МКИ<sup>3</sup> G 06 F 7/49. Устройство для обработки последовательного кода «золотой пропорции» / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4631366/24-24 ; заявл. 03.01.89 ; опубл. 23.11.90, Бюл. № 43.

151. А. с. 1612295 СССР, МКИ<sup>3</sup> G 06 F 7/52. Устройство для умножения / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Мали-

ночка, А. Е. Андреев (СССР). – № 4650187/24-24 ; заявл. 12.02.89 ; опубл. 07.12.90, Бюл. № 45.

152. А. с. 1633392 СССР, МКИ<sup>3</sup> G 06 F 7/49. Последовательный сумматор / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4675013/24 ; заявл. 28.02.89 ; опубл. 07.03.91, Бюл. № 9.

153. А. с. 1693600 СССР, МКИ<sup>3</sup> G 06 F 7/49. Устройство для деления / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4678657/24 ; заявл. 12.04.89 ; опубл. 23.11.93, Бюл. № 43.

154. Азаров О. Д. Схемотехнічні основи побітового додавання кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2007. – № 1(8). – С. 9–17.

155. Азаров О. Д. Схемотехнічні основи побітового віднімання кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Вісник Вінницького політехнічного інституту. – 2008. – № 2. – С. 56–60.

156. Азаров О. Д. Структурна організація побітового додавання і віднімання кодів золотої 1-пропорції з урахуванням знаків / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2011. – № 3(22). – С. 13–16. – ISSN 1999-9941.

157. Деклараційний патент України на корисну модель № 5494. (51) 7 G06F7/49. Пристрій для ділення послідовних кодів золотої пропорції / Азаров О. Д., Черняк О. І. ; заявник і патентовласник Вінницький національний технічний університет. – № 20040604913 ; заявл. 21.06.2004 ; опубл. 15.03.2005, Бюл. № 3.

158. Азаров О. Д. Структурна організація побітового множення і ділення кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Проблеми інформатизації та управління. – 2007. – Вип. 3(21). – С. 5–13.

159. Азаров О. Д. Аналіз витрат обладнання пристроїв побітової арифметики у системі числення золотої 1-пропорції / О. Д. Азаров, О. І. Черняк // Проблеми інформатизації та управління. – 2012. – Вип. 2(38). – С. 5–9. – ISSN 2073-4751.

160. Аналоговый микропроцессор для фильтрации сигналов / В. А. Лужецкий, А. И. Черняк, С. Л. Титов, П. В. Козлюк // Методы и микроэлектронные средства цифровой обработки сигналов : II Всесоюзная конференция : тезисы докладов . – Рига. – 1983. – С. 260–262.

161. А. с. 1295381 СССР, МКИ<sup>3</sup> G 06 F 7/49. Устройство для умножения на коэффициенты / С. Л. Титов, А. И. Черняк, В. П. Малиночка, Ю. Ф. Рошинский, Е. Н. Титова (СССР). – № 3955638/24-24 ; заявл. 19.09.85 ; опубл. 07.03.87, Бюл. № 9.

*Наукове видання*

**Азаров Олексій Дмитрович  
Черняк Олександр Іванович**

**ПОВНОФУНКЦІОНАЛЬНА ПОБІТОВА ПОТОКОВА  
АРИФМЕТИКА ЗІ ЗМЕНШЕНИМИ ВИТРАТАМИ  
ОБЛАДНАННЯ**

Монографія

Редактор С. Малішевська

Оригінал-макет підготовлено О. Черняком

Підписано до друку 22.10.2013 р.  
Формат 29,7×42¼. Папір офсетний.  
Гарнітура Times New Roman.  
Друк різнографічний. Ум. др. арк. 11,55  
Наклад 300 (1-й запуск 1–75) Зам № 10-04

Вінницький національний технічний університет,  
КІВЦ ВНТУ,  
21021, м. Вінниця, Хмельницьке шосе, 95,  
ВНТУ, ГНК, к. 114.  
Тел. (0432) 59-85-32.

Свідоцтво суб'єкта видавничої справи  
серія ДК № 3516 від 01.07.2009 р.

Віддруковано ФОП Барановська Т. П.  
21021, м. Вінниця, вул. Порики, 7.  
Свідоцтво суб'єкта видавничої справи  
серія ДК № 4377 від 31.07.2012 р.