

Міністерство освіти і науки України
Вінницький національний технічний університет

С. М. Захарченко, О. Д. Азаров, О. В. Бойко

**МЕТОДИ ТА ЗАСОБИ ПІДВИЩЕННЯ
ТОЧНОСТІ ЦИКЛІЧНИХ АЦП
НА ОСНОВІ
ВАГОВОЇ НАДЛИШКОВОСТІ**

Монографія

Вінниця
ВНТУ
2014

УДК 004.386
ББК 32.973
З-38

Рекомендовано до друку Вченою радою Вінницького національного технічного університету Міністерства освіти і науки України (протокол № 10 від 31.05.2013 р.)

Рецензенти:

З. Р. Мичуда, доктор технічних наук, професор

В. М. Кичак, доктор технічних наук, професор

Захарченко, С. М.

З-38 Методи та засоби підвищення точності циклічних АЦП на основі вагової надлишковості : монографія / С. М. Захарченко, О. Д. Азаров, О. В. Бойко. — Вінниця : ВНТУ, 2014. — 132 с.

ISBN 978-966-641-562-5

У монографії розглянуто питання підвищення точності циклічних АЦП із ваговою надлишковістю. Проведено аналіз статичних похибок і визначено зв'язок між похибками окремих елементів перетворювача та характеристикою перетворення АЦП. Запропоновано оригінальні алгоритми самокалібрування та структурні схеми АЦП, що підвищують точність цього класу пристроїв, які базуються на введенні інформаційної та структурної надлишковості.

Книга розрахована на науковців, аспірантів та інженерів, які займаються розробкою високоточних аналого-цифрових перетворювачів.

УДК 004.386
ББК 32.973

ISBN 978-966-641-562-5

© С. Захарченко, О. Азаров, О. Бойко, 2014

ЗМІСТ

ВСТУП	5
РОЗДІЛ 1 АНАЛІЗ СУЧАСНИХ ШЛЯХІВ ПОКРАЩЕННЯ ТОЧНОСТІ ЦИКЛІЧНИХ АЦП	9
1.1 Місце циклічних АЦП серед сучасних перетворювачів форми інформації.....	9
1.2 Аналіз структурних методів компенсації похибок циклічних АЦП.....	12
1.2.1 Циклічний АЦП зі зниженою чутливістю до відхилень ємностей	12
1.2.2 Алгоритмічний помножуючий АЦП.....	17
1.2.3 АЦП із динамічною зміною конфігурації.....	18
1.2.4 Циклічний АЦП із архітектурою 1,5 біт/цикл.....	20
1.2.5 Циклічний АЦП із розщепленою архітектурою	23
1.3 Аналіз характеристик циклічних АЦП, що серійно випускаються.....	26
1.4 Аналіз методів коригування похибок АЦП шляхом використання вагової надлишковості.....	28
РОЗДІЛ 2 Розробка та дослідження математичної моделі статичних похибок циклічного АЦП.....	34
2.1 Дослідження Структури Циклічного АЦП з Ваговою Надлишковістю	34
2.2 Аналіз статичних похибок циклічного АЦП з базовою структурою	39
2.3 Аналіз статичних похибок циклічного АЦП на комутованих конденсаторах	46
2.4 Аналіз впливу статичних похибок на роботу циклічного АЦП ..	52
РОЗДІЛ 3 Розробка методів підвищення точності циклічних АЦП за рахунок використання вагової надлишковості.....	57
3.1 Аналіз передатної характеристики циклічних АЦП із ваговою надлишковістю.....	57
3.2 Розробка методу калібрування циклічних АЦП за аналізом передатної характеристики.....	62
3.3 Структурна реалізація циклічного АЦП, що самокалібрується, за аналізом передатної характеристики.....	67
3.4 Розробка методу цифрового самокалібрування циклічного АЦП із ваговою надлишковістю на основі використання генератора калібрувальних сигналів	75

3.5 Оцінка точності запропонованих методів самокалібрування циклічних АЦП	79
РОЗДІЛ 4 РОЗРОБКА РЕКОМЕНДАЦІЙ ЩОДО ПРОЕКТУВАННЯ ЦИКЛІЧНИХ АЦП ІЗ ВАГОВОЮ НАДЛИШКОВІСТЮ	85
4.1 Аналогові вузли високоточних перетворювачів форми інформації на базі двотактних симетричних підсилювачів струму	85
4.2 Рекомендації по проектуванню пристроїв вибірки та зберігання	92
4.3 Реалізація цифрової частини циклічного АЦП із ваговою надлишковістю	100
4.4 Рекомендації щодо використання програмного забезпечення для моделювання процедури самокалібрування циклічного АЦП за аналізом передатної характеристики	103
Додаток А Лістинг програми для моделювання процедури самокалібрування циклічного АЦП із ваговою надлишковістю за аналізом передатної характеристики	109
ЛІТЕРАТУРА	117

ВСТУП

Цифрові технології все більше проникають у побут людей. Одним з ключових елементів сучасної електроніки є аналого-цифрові перетворювачі, оскільки у зовнішньому світі вся інформація представлена у аналоговій формі. Особливо широко АЦП використовуються в системах збору та обробки інформації, системах зв'язку, системах керування технологічними процесами. Практика вимагає постійного вдосконалення існуючих та розробки нових типів аналого-цифрових та цифро-аналогових перетворювачів (АЦП та ЦАП). Основними вимогами, що висуваються до сучасних перетворювачів форми інформації (ПФІ), є висока швидкодія, точність, надійність, стабільні характеристики при зміні зовнішніх чинників та протягом тривалого часу експлуатації, а також можливість інтегрального виконання [1].

Одним із видів АЦП є АЦП послідовного наближення (близько 40 % серед сучасних типів АЦП), які, з одного боку, мають високу точність, до 14–18 розрядів, а з іншого, – досить високу швидкодію, що пояснює інтерес фахівців до цих пристроїв. До даного класу відносяться також циклічні АЦП.

Основною областю застосування циклічних АЦП є використання їх як основи для побудови конвеєрних АЦП [2], крім того їх використовують як калібрувальні АЦП. Перевагами циклічних АЦП є те, що вони відрізняються простою структурою, досить просто реалізуються в інтегральному виконанні і, враховуючи принцип роботи цих перетворювачів, мають досить низьку споживану потужність [3, 4]. Процес перетворення в пристроях такого типу зазвичай полягає в перерозподілі заряду між конденсаторами або врівноваженні його за допомогою опорних струмів чи напруг. Проте точність циклічного АЦП значно залежить від точності виконання кожним блоком своїх функцій, оскільки похибки накопичуються і циркулюють від циклу до циклу [5].

У теорії аналого-цифрового перетворення існує кілька окремих підходів для коригування похибок ваг розрядів ПФІ і характеристики перетворення в цілому, а саме: технологічні і схемотехнічні прийоми, методи самокоригування для двійкових АЦП, а також методи самоконтролю і самокалібрування для АЦП із ваговою надлишковістю [6].

Точність виготовлення елементної бази аналогових вузлів, зокрема, транзисторів, резисторів, конденсаторів, як правило, є недостат-

ньою для створення високоточних аналогових схем, зокрема, багаторозрядних перетворювачів [7]. Тому необхідне використання різних фізичних явищ, матеріалів і технологічних методів для припасування номіналів елементів аналогових схем, оскільки неточність виготовлення і порушення співвідношень між ними є причиною появи похибок перетворення ПФІ. Основними технологічними методами коригування і підгонки напівпровідникових резисторів є перепалювання перемичок та лазерне припасування. Підвищення точності ПФІ на основі комутованих конденсаторів частково здійснюється шляхом використання лазерного припасування елементів та загальноцентрованої геометрії. Проте, цей підхід призводить до погіршення температурних параметрів, зменшує надійність пристроїв, і суттєво збільшує вартість виробництва. Крім того, використання лише технологічних прийомів дозволяє створювати 12-розрядні АЦП і ЦАП з нормованим рівнем похибки [7, 8].

Інший шлях покращення точнісних характеристик АЦП – введення надлишковості на різних рівнях проектування пристроїв: функціонально-алгоритмічному, інформаційному та структурно-схемотехнічному.

Основною ідеєю використання структурної надлишковості є введення у пристрій додаткових аналогових та цифрових вузлів [9]. При цьому, в низці випадків, додаткові аналогові вузли та блоки повинні мати досить високі метрологічні характеристики, що передбачає використання дороговартісної елементної бази. До того ж це досить часто призводить до ускладнення алгоритмів та зменшення швидкості перетворення.

Технологічні прийоми та введення структурної надлишковості розроблялись та широко використовуються провідними фірмами, такими як Analog Devices, Intersil, Burr-Brown, Maxim Integrated Products, Texas Instruments, National Semiconductor та ін. [10–20]. Їх суть полягає в тому, що в багаторозрядному АЦП старша група розрядів реалізується як комбінація з декількох розрядів шляхом паралельного вмикання декількох джерел опорних струмів або напруги. Основним недоліком структурної надлишковості є збільшення апаратних витрат і зменшення швидкодії перетворювача [21–24].

Вище зазначені підходи в основному дозволяють вирішувати тільки одну з проблем: або підвищення точності, або – швидкодії.

Принципово іншим підходом, що дозволяє досягти зменшення похибки перетворення уникнувши фізичного впливу на елементи схеми і введення додаткових блоків, є використання методів самокоригування [25–29] і самокалібрування [30–34] ваг розрядів і характеристики перетворення в цілому, що дозволяє значно (на один-два порядки) зменшити похибки перетворення порівняно з похибками елементів, внаслідок чого можна використовувати неточну елементну базу для побудови аналогових вузлів.

Самокоригування АЦП (ЦАП) – це окрема процедура визначення відхилень від номінальних значень параметрів вузлів АЦП (ЦАП) і їх запам'ятовування у вигляді цифрових кодів для формування протягом вказаної процедури коригувальних поправок до передатної характеристики з метою зменшення статичних похибок з перериванням при цьому процесу основного перетворення [34]. Реалізація процедури коригування може вимагати наявності еталонних сигналів [35]. Основний недолік самокоригування – це зменшення швидкодії перетворення, оскільки розрахована поправка вводиться в процесі основного перетворення в аналоговий спосіб. Самокалібрування – це різновид коригування, що може виконуватися в АЦП (ЦАП), побудованому на основі системи числення із ваговою надлишковістю (СЧВН). У процесі вказаної процедури визначаються коди значень відхилень ваг старших «неточних» розрядів шляхом порівняння ваги поточного розряду, що калібрується, із певною сумою ваг групи сусідніх молодших розрядів на базі існуючих між ними математичних співвідношень з подальшим обчисленням коригувальних поправок або коригованих значень «неточних» розрядів [34]. В цьому випадку використання спеціальних взірцевих мір або еталонних сигналів не потрібне. Самокалібрування здійснюється з метою зменшення похибок диференціальної, інтегральної лінійності, зміщення нуля передатної характеристики, а її результати можуть багатократно використовуватися у процесі основного перетворення. При цьому на відміну від самокоригування поправка вводиться у цифровій формі, що не впливає на швидкодію роботи перетворювача.

При поєднання методів самокалібрування та інформаційної надлишковості у вигляді надлишкових позиційних систем числення можна отримати ще кращі результати. Крім того, побудова АЦП на основі НПСЧ є одним із перспективних шляхів комплексного вирішен-

ня проблеми підвищення точності та швидкодії АЦП послідовного наближення [36–39].

Використання НПСЧ у техніці АЦП та ЦАП почалося в Україні з кінця 70-х років і продовжується сьогодні під керівництвом професора О. Д. Азарова [23, 29, 30, 31, 33, 34, 36, 37]. Крім того, питанням покращення характеристик АЦП займалися наукові школи України, зокрема, наукові школи під керівництвом З. Р. Мичуди [40–48], А. І. Кондалєва, В. О. Романова, В. О. Багацького, В. А. Фабричева, Ю. С. Яковлева [49–57], П. П. Орнатського [58–60], М. В. Аліпова [61–63], Б. Й. Швецького [64]. Також покращенням метрологічних характеристик ПФІ і систем, до яких вони входять, займалися наукові школи Ю. М. Туза, Є. Т. Володарського [11, 65–66]. Крім того, загальні принципи побудови та покращення характеристик АЦП досліджувалися та розроблялися науковими школами колишнього СРСР, серед яких можна виділити, В. Б. Смолова [24, 67–72], Е. І. Гітіса [73–76].

Питанням покращення характеристик АЦП займалися відомі науковці зарубіжжя, зокрема: Х. Зумбахлен [77], С. Х. Лі [78, 79, 82–84] з корпорації Analog Device, К. Нагарадж [80–81] з корпорації Texas Instruments, Х. С. Лі [82–84], М. К. Майес та С.В. Чін [85–87] з корпорації National Semiconductor, Г. де Хаан, Дж. Меєрберген [88] з Philips, П. Р. Грей [89, 90], а також співробітники науково-дослідних підрозділів інших корпорацій.

Враховуючи особливості функціонування циклічних АЦП, збільшення їх розрядності призводить до експоненційного зростання похибки перетворення, що призведе до зміни робочої системи числення перетворювача. Застосування вагової надлишковості дозволить визначити ці відхилення і оперативно реагувати на них. Проте функціональні особливості циклічних АЦП не дають можливості формально перенести відомі підходи підвищення точності та швидкодії АЦП за рахунок НПСЧ на пристрої ці класу і потребують додаткових детальних досліджень. Таким чином, наукова задача, пов'язана зі створенням нового класу циклічних АЦП з ваговою надлишковістю, є актуальною [91–111].

Автори будуть щиро вдячні за відгуки на монографію та сподіваються, що вона знайде своє коло читачів як серед студентів та аспірантів, так і серед досвідчених фахівців у цій галузі.

РОЗДІЛ 1

АНАЛІЗ СУЧАСНИХ ШЛЯХІВ ПОКРАЩЕННЯ ТОЧНОСТІ ЦИКЛІЧНИХ АЦП

1.1 Місце циклічних АЦП серед сучасних перетворювачів форми інформації

Навколишній світ є джерелом аналогових сигналів, проте більшість сучасних систем зберігання та обробки інформації (системи обробки аудіо та відео інформації, контролери побутової техніки, телефонія, вимірювальні прилади та інші) є цифровими. Тому виникає потреба у використанні аналого-цифрових перетворювачів (АЦП) та цифро-аналогових перетворювачів (ЦАП), які утворюють окрему групу перетворювачів форми інформації (ПФІ). При цьому гостро постає питання точності та швидкості цього перетворення. Підвищення точності перетворювачів форми інформації досягалось двома основним напрямками. Перший пов'язано з удосконаленням елементної бази, другий напрямок використовує введення різних форм надлишковості.

Усе розмаїття АЦП можна поділити на групи, які об'єднуються загальною технологією, схемотехнікою і методами перетворення, близькими точнісними, динамічними або експлуатаційними параметрами, причому ці групи можуть перетинатись, тобто включати спільні елементи. Найчастіше такими параметрами, які характеризують АЦП, виступають точність і швидкодія [31, 112].

Серед різних типів архітектур АЦП можна виділити АЦП послідовного наближення (до яких відносяться також і циклічні АЦП), які з одного боку, характеризуються досить високою роздільною здатністю, а з іншого, – середньою швидкодією, що продемонстровано на рисунку 1.1 [113–116]. Класичні циклічні АЦП характеризуються роздільною здатністю до 12 біт і середньою швидкодією до 100 кГц.

Інтерес фахівців до циклічних АЦП пов'язаний також і з областю їх застосування, адже вони широко використовуються при побудові конвеєрних АЦП як один із каскадів перетворювача [117]. Ще одна область застосування циклічних АЦП як калібрувальних перетворювачів пов'язана з їх точністю та особливостями архітектури: для побудови такого перетворювача достатньо декількох ОП, резисторів або конденсаторів і комутуючих елементів. Циклічні (алгоритмічні) АЦП відзначаються простою структурою, мають малу потужність споживання, що пояснюється принципом роботи вказаних АЦП і легко реалізуються в інтегральному виконанні [118, 119].

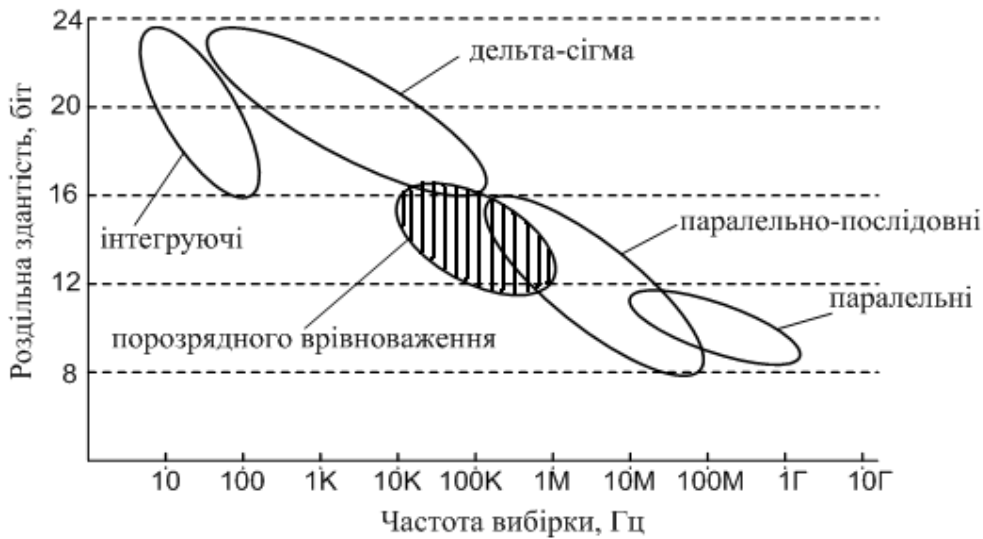


Рисунок 1.1 – Порівняння основних архітектур сучасних інтегральних схем АЦП

Розглянемо роботу циклічного АЦП на прикладі структури звичайного двійкового алгоритмічного АЦП наведеного на рисунку 1.2 [120–122].

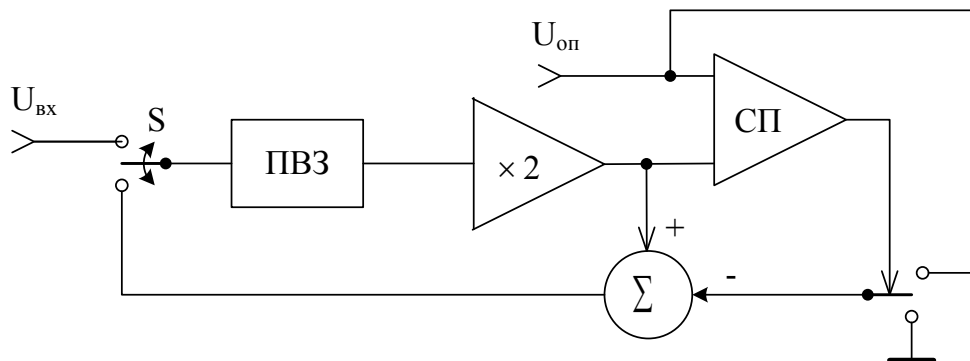


Рисунок 1.2 – Структура двійкового циклічного АЦП

Вона складається з пристрою вибірки-зберігання (ПВЗ), схеми множення на 2, схеми порівняння (СП) і аналогового суматора, а також ключових елементів, що комутують блоки схеми згідно з визначеним алгоритмом. Перетворення здійснюється послідовно в три етапи: дискретизації, перехідної фази та врівноваження.

Алгоритм роботи циклічного АЦП дуже схожий на довге ділення двійкових чисел із відновленням остачі [123], де на кожному кроці є порівняння величин, віднімання за визначеною умовою, і зсув остачі для визначення наступного біта. Подібні серії кроків використовуються і для виконання аналого-цифрового перетворення. Під час

першого циклу перетворення вхідний сигнал $U_{ВХ}$ проходить через ПВЗ, множиться на 2 і порівнюється з опорною напругою $U_{ОП}$. Якщо $2 \cdot U_{ВХ} > U_{ОП}$, то старший біт установлюється в «1», а $U_{ОП}$ віднімається з подвоєної вхідної напруги. Далі отримана різниця подвоюється і визначається наступний біт. У тому випадку, коли $2 \cdot U_{ВХ} < U_{ОП}$, то старший біт установлюється в «0» і значення $2 \cdot U_{ВХ}$ використовується для визначення наступного біта (процедура віднімання $U_{ОП}$ не виконується). Аналогічним чином визначаються й інші розряди вихідного коду.

Оскільки розглянута схема реалізує певний алгоритм, її структура розрядно-незалежна, але її точність значно залежить від того, з якою точністю виконуються усі операції, тому що похибки накопичуються від циклу до циклу.

В основі роботи циклічних АЦП лежить алгоритм МакЧарльза [122, 124], який дозволяє будувати АЦП, результуючий код якого отримується послідовно розряд за розрядом. Алгоритм функціонування циклічних АЦП для системи $\{0;1\}$ представлено на рисунку 1.3, де: U_i – аналогова напруга на i -му циклі; B_i – це значення розряду отримане на попередньому циклі; N – розрядність перетворювача, число циклів алгоритму.

Для того, щоб алгоритм сходився, необхідно виконання умови $U_{ref} \geq U_i, i = 1, 2, \dots, N - 1$ [125].

Співвідношення $U_{i+1} = 2 \cdot U_i + B_i \cdot U_{on}$ відображає ідеальний процес перетворення, тому на практиці реалізують неідеальний алгоритм, який можна описати таким рівнянням [130]:

$$U_{i+1} = (2 + \Delta_1) \cdot U_i + (1 + \Delta_2) \cdot B_i \cdot U_{on}, \quad (1.1)$$

де Δ_1 – похибка, яка впливає на лінійність перетворювача; Δ_2 – похибка, яка впливає на коефіцієнт нахилу характеристики перетворення.

Із рівняння (1.1) випливає, що коефіцієнт Δ_2 впливає тільки на коефіцієнт нахилу характеристики перетворення і не впливає на лінійність перетворювача. І навпаки, Δ_1 призводить до похибки лінійності перетворення.

Характеристика перетворення такого АЦП, неоптимальна з точки зору похибки квантування. Цю похибку можна зменшити до $U_{ref} / 2^{N+1}$, встановлюючи $N+1$ -й розряд результату рівним 1. Таке перетворення викликає зсув характеристики перетворення на $\frac{1}{2}U_{МЗР}$ вгору. Це веде за собою виключення нуля із множини допустимих результатів перетворення. Проте, у більшості випадків така незручність менш істотна порівняно з двократним зменшенням похибки перетворення.

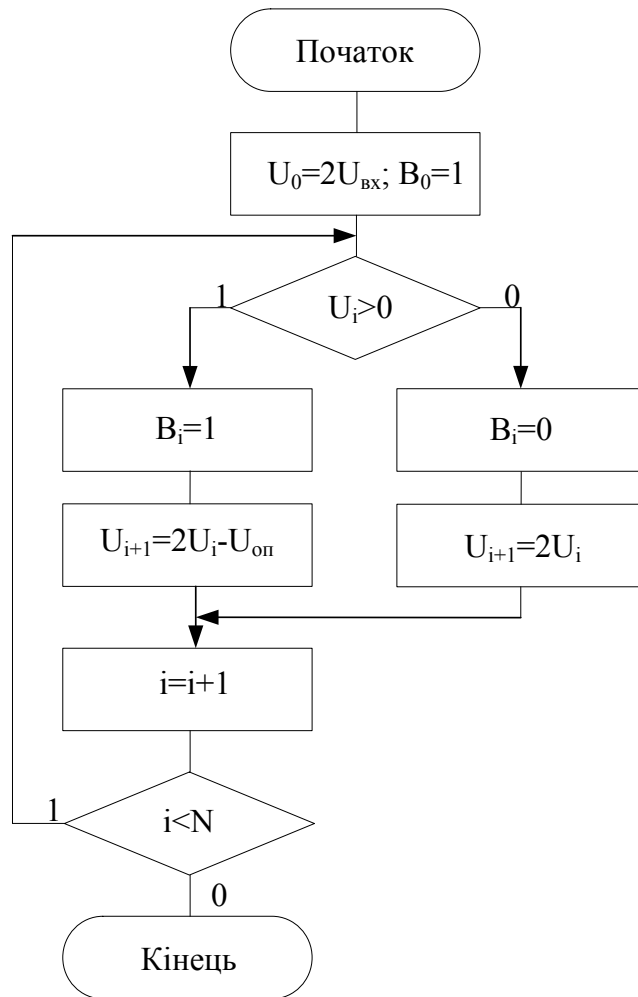


Рисунок 1.3 – Алгоритм функціонування циклічних АЦП

Швидкодія розглянутого перетворювача порівнянна зі швидкодією перетворювачів із перерозподілом заряду. Проте циклічний АЦП має значно простішу схему. Для такого перетворювача зазвичай необхідно декілька конденсаторів, причому номінальні значення ємностей незначні. Структура перетворювача не залежить від кількості розрядів.

1.2 Аналіз структурних методів компенсації похибок циклічних АЦП

1.2.1 Циклічний АЦП зі зниженою чутливістю до відхилень ємностей

Цей метод побудови циклічних АЦП передбачає застосування технології випадкового перемикування зворотного зв'язку (ВПЗЗ) і технології усередненого випадкового перемикування зворотного зв'язку

(УВПЗЗ), щоб зменшити гармонічні спотворення, викликані відхиленням конденсаторів від номіналу без обрізання піків чи калібрування. Запропоновані технології ВПЗЗ і УВПЗЗ можуть бути реалізовані простою зміною зв'язків між конденсаторами на різних циклах роботи АЦП [124].

Метод випадкового перемикування зворотного зв'язку. Блок-схема N-бітового циклічного АЦП, наведена на рисунку 1.4, показує метод ВПЗЗ. Роздільна здатність цифрового коду на кожному циклі перетворення – 1 біт з розширеним діапазоном. Цифрова схема корекції похибок [127] перетворює N-бітовий цифровий вихідний код до кінцевого значення перетворення.

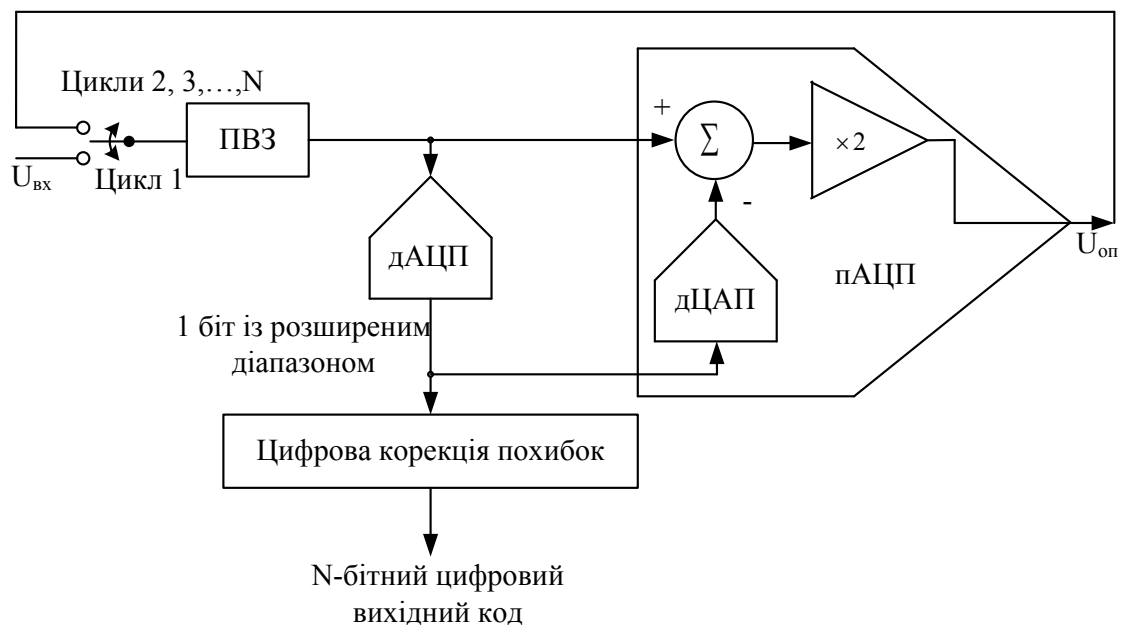
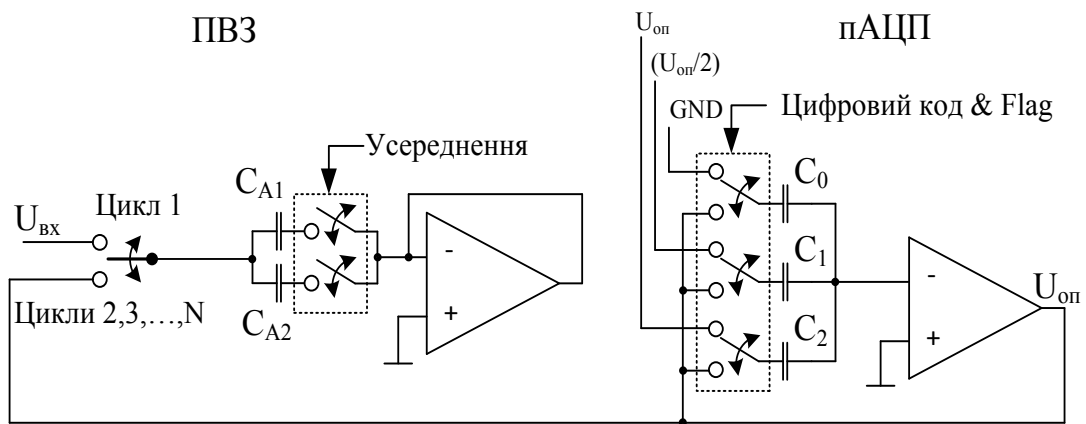


Рисунок 1.4 – Блок-схема N-бітового циклічного АЦП із використанням методу випадкового перемикування зворотного зв'язку (ВПЗЗ)

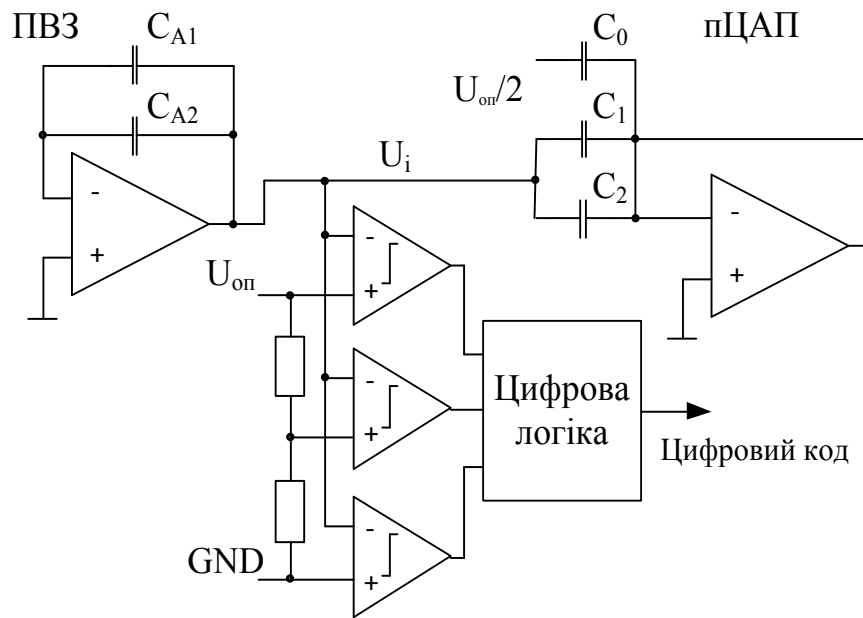
Де дАЦП – додатковий АЦП, дЦАП – додатковий ЦАП, пАЦП – помножуючий АЦП.

На рисунку 1.5 показано несиметричну архітектуру циклічного АЦП з одним виходом.

Кожен цикл складається з фази А та В [127]. Фаза А вказує, що ПВЗ та пЦАП знаходяться в режимі вибірки і підсилення, а фаза В вказує, що ПВЗ і пЦАП знаходяться в процесі зберігання і підсилення. Протягом фази В пЦАП зберігає вихідний сигнал ПВЗ на конденсаторах C_1 і C_2 , конденсатор C_0 приєднано до $U_{оп}/2$. Протягом фази А ПВЗ одночасно вибирає сигнал з конденсаторів C_{A1} і C_{A2} , а комутацію конденсаторів пЦАП показано в таблиці 1.1, де ФВ – це зворотний зв'язок.



а)



б)

Рисунок 1.5 – Несиметрична архітектура циклічного АЦП:
а) фаза А; б) фаза Б

Конденсатори зворотного зв'язку комутуються відповідно до цифрового коду з дАЦП, відповідають двом середнім цифровим кодам в циклі 2 і замінюють один одного у наступних циклах [92]. Крім того, ці два конденсатори також міняються місцями, коли Flag змінюється, де Flag це 1-бітове псевдовипадкове число $\{0, 1\}$, яке оновлюється при кожній вибірці.

Таблиця 1.1 – Комутація конденсаторів пЦАП методів ВПЗЗ та УВПЗЗ

ВПЗЗ	FLAG=0; Цикл 2	FLAG=1; Цикл 3, 4, ..., N
УВПЗЗ	FLAG=0; Цикл 4	FLAG=1; Цикл 5, 6, ..., N
U_i	Цифровий код (d)	C_0 C_1 C_2
$-\frac{1}{4}U_{on} < U_i \leq 0$	$-\frac{1}{2}$	FB GND GND
$0 < U_i \leq \frac{1}{2}U_{on}$	0	$\frac{U_{on}}{2}$ FB GND
$\frac{1}{2}U_{on} < U_i \leq U_{on}$	1	$\frac{U_{on}}{2}$ U_{on} FB
$U_{on} < U_i \leq \frac{5}{4}U_{on}$	$\frac{3}{2}$	FB U_{on} U_{on}
ВПЗЗ	FLAG=1; Цикл 2	FLAG=0; Цикл 3, 4, ..., N
УВПЗЗ	FLAG=1; Цикл 4	FLAG=0; Цикл 5, 6, ..., N
U_i	Цифровий код (d)	C_0 C_1 C_2
$-\frac{1}{4}U_{on} < U_i \leq 0$	$-\frac{1}{2}$	FB GND GND
$0 < U_i \leq \frac{1}{2}U_{on}$	0	$\frac{U_{on}}{2}$ FB GND
$\frac{1}{2}U_{on} < U_i \leq U_{on}$	1	$\frac{U_{on}}{2}$ U_{on} FB
$U_{on} < U_i \leq \frac{5}{4}U_{on}$	$\frac{3}{2}$	FB U_{on} U_{on}

Якщо $C_x/C_y = 1 + \varepsilon_{x/y}$, де C_x і C_y – два ідентичні конденсатори в АЦП, $\varepsilon_{x/y}$ – відносна похибка відхилення конденсаторів від номіналів C_x і C_y , при Flag = 0, залишок пЦАП на 2-му циклі можна подати за допомогою співвідношення:

$$U_{зал} = \begin{cases} (2 + \varepsilon_{1/0} + \varepsilon_{2/0})U_i + \frac{1}{2}U_{on}, & d = -\frac{1}{2}; \\ (2 + \varepsilon_{2/1})U_i, & d = 0; \\ (2 + \varepsilon_{1/2})U_i + (-1 - \varepsilon_{1/2})U_{on}, & d = 1; \\ (2 + \varepsilon_{1/0} + \varepsilon_{2/0})U_i + (-\frac{3}{2} - \varepsilon_{1/0} - \varepsilon_{2/0})U_{on}, & d = \frac{3}{2}; \end{cases} \quad (1.2)$$

де d – цифровий код. Для кожного наступного циклу 3, 4, ..., N, залишок мЦАП можна подати у вигляді:

$$U_{\text{зал}} = \begin{cases} (2 + \varepsilon_{1/0} + \varepsilon_{2/0})U_i + \frac{1}{2}U_{\text{он}}, & d = -\frac{1}{2}; \\ (2 + \varepsilon_{1/2})U_i, & d = 0; \\ (2 + \varepsilon_{2/1})U_i + (-1 - \varepsilon_{2/1})U_{\text{он}}, & d = 1; \\ (2 + \varepsilon_{1/0} + \varepsilon_{2/0})U_i + \left(-\frac{3}{2} - \varepsilon_{1/0} - \varepsilon_{2/0}\right)U_{\text{он}}, & d = \frac{3}{2}. \end{cases} \quad (1.3)$$

При $\text{Flag} = 1$, рівняння залишку мЦАП для другого циклу має вигляд (1.3), а для наступних циклів – (1.2).

Звичайні методи покращення передатної характеристики не можуть зменшити вплив похибки відхилення ємності конденсаторів від номіналу при збільшенні числа циклів, а при використанні ВПЗЗ передатна характеристика ближча до ідеальної [127]. Проте у архітектурі ВПЗЗ, при збільшенні кількості циклів, відсоток покращення зменшується, оскільки ефективність методу на кожному наступному циклі зменшується. Похибки невідповідностей конденсаторів номіналам також можуть сприйматись як білий шум, проте в даному випадку погіршуються динамічні характеристики АЦП.

Метод усередненого випадкового переключення зворотного зв'язку. Базові схеми методів ВПЗЗ та УВПЗЗ аналогічні, але різниця в роботі алгоритмів полягає в тому, що [126] в другому і третьому циклах фаза А поділяється на дві часові підфази A_1 та A_2 для операції усереднення.

Решту циклів (4, 5, ..., N) циклічний АЦП працює з використанням методу ВПЗЗ протягом фази А, як показано в таблиці 1.1. Метод УВПЗЗ потребує додаткових витрат часу (додаткових циклів), і знижує швидкодію перетворення порівняно із звичайним перетворенням на коефіцієнт $N / (N+1)$ [92].

Усереднення протягом перших циклів може збільшити співвідношення сигнал–шум циклічних АЦП і видалити із середньої зони передатної характеристики відхилення, що обумовлене домінуванням похибки відхилення конденсаторів від номіналу за рахунок зменшення коефіцієнта перетворення [126]. Таким чином, поліпшення співвідношення сигнал–шум не зменшується для невеликого вхідного сигналу. Проте похибки, спричинені відхиленням конденсаторів від номіналу для 2-го і 3-го циклів, є усередненими, а не накопичуються, і тому погіршується динамічних діапазон і продуктивність роботи

АЦП. З наведеного вище аналізу можна зробити висновок, що метод УВПЗЗ має краще співвідношення сигнал–шум і продуктивність, ніж ВПЗЗ і при цьому забезпечує достатньо широкий динамічний діапазон роботи АЦП.

Технологія ВПЗЗ покращує динамічний діапазон звичайних АЦП без погіршення співвідношення сигнал–шум. Технологія УВПЗЗ покращує динамічні характеристики, проте співвідношення сигнал–шум суттєво погіршується. З використанням ВПЗЗ та УВПЗЗ вимоги до точності конденсаторів зменшено для широкого динамічного діапазону, а співвідношення сигнал–шум не зменшується при зменшенні вимог до операційних підсилювачів, тим самим зменшується загальна потужність і площа кристалу АЦП.

Проте недоліком цих методів є використання додаткових апаратних ресурсів для генерації однобітового псевдовипадкового числа (Flag), а також, відповідно, вносяться зміни до пристрою керування. Крім того збільшується час перетворення, тобто погіршується швидкодія АЦП.

1.2.2 Алгоритмічний помножуючий АЦП

Архітектура звичайного циклічного АЦП (показаного на рисунку 1.6а) розширюється так, що циклічний залишок поєднується із входом нового блока перетворення, як показано на рисунку 1.6б [16–17]. Вхідний сигнал U_{ex} множиться на біт коефіцієнта ядра C послідовно від старшого значущого розряду (СЗР) до молодшого (МЗР). На виходах мультиплексора отримуються аналоговий і дискретний двійковий сигнали, а їх значення зменшуються в 2 рази на кожному наступному циклі, для того, щоб відповідати значенню (вазі) відповідного залишкового сигналу. Оскільки діапазон накопиченого сигналу U_{ex1} , є подвійним залишком звичайного циклічного АЦП, то додатковий модулятор залишкової напруги вводиться як показано на рисунку 1.6б [16], і в результаті під час кожного циклу перетворення отримуються два біти a_{mux1} і a_{mux2} . Отримані біти зсуваються як старші значущі розряди, а сума ваг цих розрядів дає цифрове представлення вхідного сигналу U_{ex} із коефіцієнтом ядра C , та похибкою квантування Q :

$$\sum_{k=1}^N 2^{-(k+1)} (2a_{mux1}[k] + a_{mux2}[k]) = U_{ex} \cdot C + Q,$$

де k – номер циклу, $k = 1, 2, \dots, N$; N – роздільна здатність циклічного АЦП.

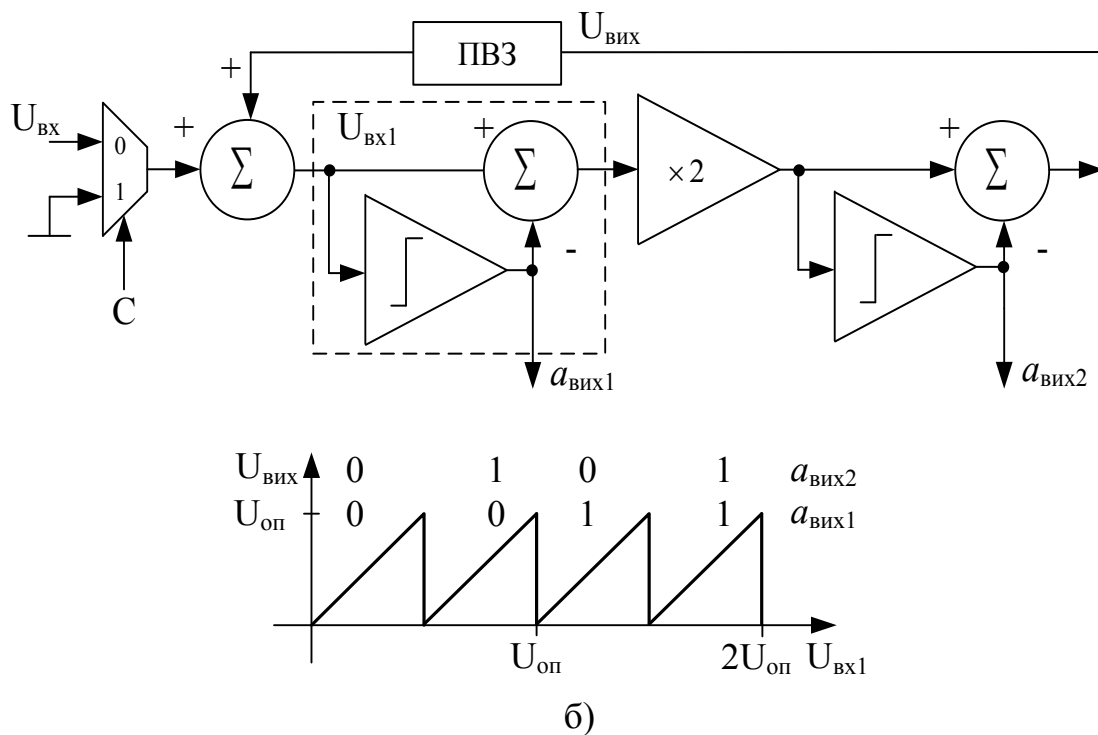
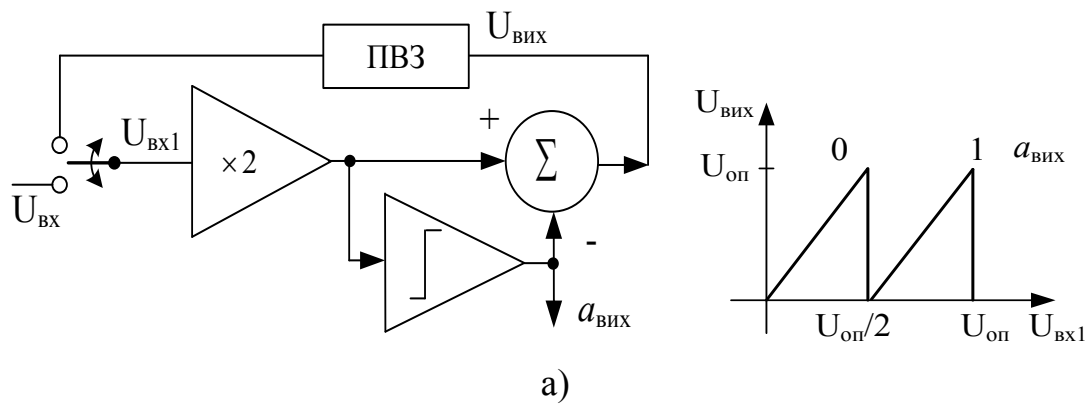


Рисунок 1.6 – Архітектура та передатна характеристика циклічного АЦП: а) звичайного; б) алгоритмічного помножувального АЦП

Недоліком розглянутого методу є збільшення кількості апаратних витрат, площі циклічного АЦП (збільшення кількості підсилювальних каскадів), а також потужності розсіювання.

1.2.3 АЦП із динамічною зміною конфігурації

Гібридна архітектура алгоритмічного $\Sigma\Delta$ АЦП із динамічною зміною конфігурації була розроблена з метою пошуку компромісу між роздільною здатністю та швидкодією перетворювача [129]. За ітеративним зворотним зв'язком і вибіркою залишкової напруги процес перетворення нагадує $\Sigma\Delta$ -перетворення, проте інформація про вагу

біта вбудована в цифровий код, як при алгоритмічному перетворенні.

Ця технологія використовує розширене (досить неточне) перетворення, щоб вимірювати залишкову напругу [130]. Розширене перетворення досить часто використовується у двоступінчатих та каскадних АЦП. Якщо точне перетворення здійснюється протягом першого $\Sigma\Delta$ -перетворення, похибка розширеного перетворення може бути зменшена за рахунок збільшення кроків у першому $\Sigma\Delta$ -перетворенні. Тобто, передискретизація протягом першої фази покращує роздільну здатність також і другої фази.

Як показано на рисунку 1.7, ПВЗ і аналоговий мультиплексор додаються до звичайного $\Sigma\Delta$ АЦП першого порядку для ітеративної вибірки залишкової напруги інтегратора $U_{зал}$ і подання її за допомогою зворотного зв'язку на вхід $\Sigma\Delta$ перетворювача [130–132].

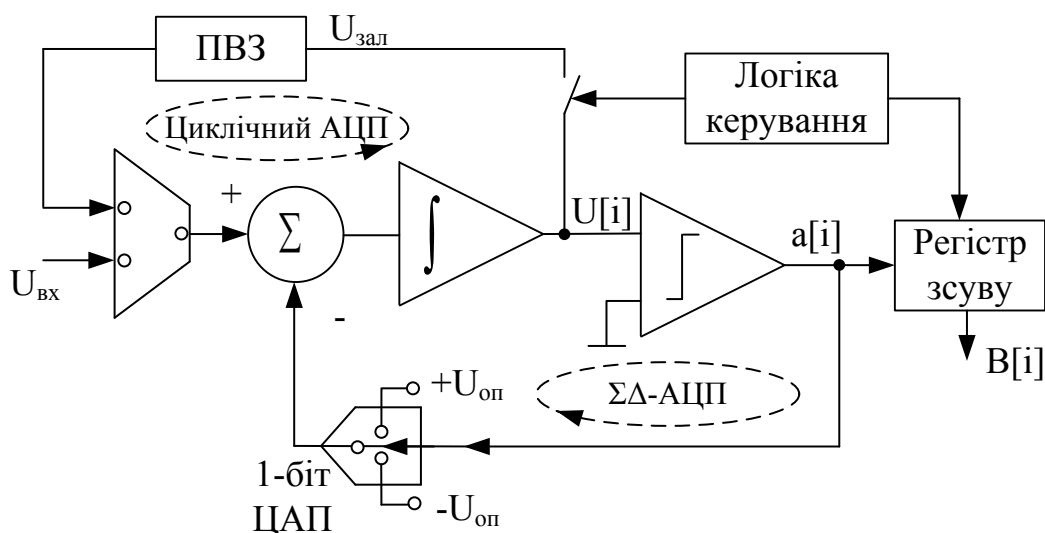


Рисунок 1.7 – Архітектура гібридного алгоритмічного- $\Sigma\Delta$ АЦП

Таким чином досягається множинне розширення перетворення на $\Sigma\Delta$ перетворювачі першого порядку.

Робота гібридного алгоритмічного $\Sigma\Delta$ АЦП починається з комутації мультиплексора на вхідну напругу U_{ex} і виконується звичайне $\Sigma\Delta$ -перетворення. Припустимо воно займає L циклів, тоді

$$U_i = U_{i-1} + (U_{ex} - a_{i-1} \cdot U_{on}) \text{ для } i = 1, \dots, L,$$

де U_i – напруга на виході інтегратора на кожному циклі i ; a_i – цифровий код на виході компаратора; U_{on} – опорна напруга.

U_0 і a_0 ініціалізуються значенням 0. В роботі [133] було доведено, що:

$$U_{ex} = \frac{\sum_{i=1}^L a_i \cdot U_{on} + U_{on1}}{L},$$

де перший доданок дає приблизне (оціночне) значення U_{ex} АЦП, а другий – приблизну похибку, наприклад, залишок після L циклів становить $U_{zal} = U_L - a_L \cdot U_{on}$. При традиційному розширеному перетворенні залишок вимірюється неточною схемою перетворення, проте гібридний алгоритмічно $\Sigma\Delta$ підхід забезпечує зворотний зв'язок для повторного використання існуючого $\Sigma\Delta$ обладнання, для вимірювання залишку.

Скорочення попередніх виразів дає остаточне рівняння для гібридного алгоритмічного $\Sigma\Delta$ АЦП з M фазами перетворення для кожного з L $\Sigma\Delta$ циклів

$$U_{ex} = \left(\sum_{j=1}^M L^{-j} \sum_{i=(j-1)L+1}^{jL} a_i \right) \cdot U_{on}.$$

Якщо $M > L$, тобто довгий процес підрахунку із короткими і не частими обробками залишку за допомогою зворотного зв'язку, то поведінка АЦП більш схожа на поведінку $\Sigma\Delta$ АЦП, з більшою роздільною здатністю і меншою швидкодією, а число циклів зростає логарифмічно по відношенню до роздільної здатності. Якщо $M < L$ (коротка фаза підрахунку з частою обробкою залишку за допомогою зворотного зв'язку), то поведінка АЦП більш схожа на поведінку алгоритмічного АЦП, з відносно низькою роздільною здатністю, але високою швидкодією, а число циклів зростає лінійно по відношенню до роздільної здатності [18]. Оскільки роздільна здатність і швидкодія залежать від показників M та L , то система може динамічно, в режимі реального часу і залежно від вимог, переконфігуруватись на архітектурному рівні, регулюючи значення M та L , які можуть повністю визначатись схемою синхронізації.

Проте недоліком цього типу АЦП є складна система керування, яка включає в себе високоточну схему синхронізації та аналізує вхідний сигнал.

1.2.4 Циклічний АЦП із архітектурою 1,5 біт/цикл

Більшість сучасних алгоритмічних АЦП потребують принаймні N часових циклів для N -бітового перетворювача. Проте, крім 1-бітових перетворювачів за фазу (цикл) існують і нові – 1,5-бітові перетворювачі за фазу. Циклічний АЦП із 1,5 біт/цикл (рисунки 1.8а) – це перетворювач 1 біт/цикл, у який вводиться надлишковість для забезпечення можливості використання неточних і недосконалих компонентів

ЛІТЕРАТУРА

1. Біліченко Н. О. Високоточні аналого-цифрові перетворювачі з перерозподілом заряду на основі інформаційної надлишковості : автореф. дис. ... канд. техн. наук: спец. 05.13.05 / Наталя Олександрівна Біліченко ; Вінницький національний технічний університет. – Вінниця, 2001. – 16 с.
2. Mikael Gustavson. CMOS data converter for communications. / Mikael Gustavson, J. Jacob Wikner, Nianxiong Nick Tan. – USA, New York, Boston : Kluwer Academic Publishers, 2002. – 377p.
3. Chuenarom S. Application Techniques for High Performance ADC / S. Chuenarom, V. Tipsuwarnpron // IEEE Journal of Solid State Circuits. – 2006. – № 10. – P. 749–752.
4. Bhatia V. Efficient Circuit Configuration for Algorithmic ADCs / Veepsa Bhatia, Neeta Pandey // URSI GA Poster presentations. – October 2005 / Режим доступу до журналу: [http://www.ursi.org/Proceedings/ProcGA05/pdf/CP3.23\(01662\).pdf](http://www.ursi.org/Proceedings/ProcGA05/pdf/CP3.23(01662).pdf).
5. Angel Rodrigez-Vazquez. CMOS Telecom Data Converters / Angel Rodrigez-Vazquez, Fernando Medeiro, Edmond Janssens. – USA, New York, Boston : Kluwer Academic Publishers, 2003. – 588 p.
6. Кадук О. В. Відмовостійкі багаторозрядні АЦП і ЦАП, що самокалібруються, з ваговою надлишковістю : автореф. дис. ... канд. техн. наук : 05.13.05 / Олександр Володимирович Кадук ; Вінницький національний технічний університет. – Вінниця, 2010. – 20 с.
7. Alan Hasting. The Art of Analog Layout / Hasting A. – USA, New York, Boston : Kluwer Academic Publishers, 2001. – 539 p.
8. High Speed, High Accuracy, 14-Bit, 16-Bit, and 18-Bit PulSAR ADCs / Analog Devices // офіційний сайт. – Режим доступу: <http://www.analog.com/static/imported-files/overviews/PulSAR.pdf>.
9. Тимофеев А. Л. Аналого-цифровые преобразователи повышенной динамической точности : автореф. дис. ... канд. техн. наук : 05.13.05 / А. Л. Тимофеев. – Уфа, 1984. – 20 с.
10. A superconductor high-resolution ADC / Mukhanov O. A., Semenov V. K., Li W., [та ін.] // IEEE Trans. on Applied Superconductivity. – March 2001. – V. 11. – P. 601–606.
11. Туз Ю. М. Структурные методы повышения точности измерительных устройств / Ю. М. Туз – К. : Вища шк. Главное изд-во, 1976. – 285 с.
12. Jing W. Very linear ramp-generators for high resolution ADC BIST and calibration / Jing W., Sanchez-Sinencio E., Maloberti F. // IEEE Midwest Symposium of Circuits and Systems. – Aug. 2000. – V. 2. – P. 908–911.

13. Mustafin T. A. Structural method of increasing the accuracy of a fast ADC / T. A. Mustafin // Measurement techniques. – 1986. – V. 29. – P. 10–12.
14. Murmann B. A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification / B. Murmann, B.E. Boser // IEEE J. Solid-State Circuits. – Dec. 2003. – V. 38. – P. 2040–2050.
15. Nilchi A. CMOS image compression sensor with algorithmically-multiplying ADCs / A. Nilchi, J. Aziz, R. Genov // IEEE J. Solid-State Circuits. – May 2009. – P. 1497–1500.
16. Genov R. Algorithmic partial analog-to-digital conversion in mixed-signal array processors / R. Genov, G. Cauwenberghs // IEEE Int. Symp. on Circuits and Systems. – May 2003. – № 5. – P. 769–772.
17. Kun Ch. A dynamic reconfigurable A/D converter for sensor applications / Ch. Kun, A. Mason, Sh. Chakrabartty // IEEE J. Solid-State Circuits. – Nov. 2005. – № 11. – P. 1221–1224.
18. Rao P. P. A 80Ms/sec 10bit PIPELINED ADC Using 1.5Bit Stages And Built-in Digital Error Correction Logic / P. P. Rao, K. L. Kishore // International Journal of VLSI design & Communication Systems (VLSICS). – September 2011. – V. 2. – P. 39–49.
19. Lin J.-F. Low-Power and Wide-Bandwidth Cyclic ADC With Capacitor and Opamp Reuse Techniques for CMOS Image Sensor Application / J.-F. Lin, S.-J. Chiu, H.-H. Tsai, J.-J. Wang // IEEE Journal of Solid State Circuits. – Dec. 2009. – V. 9. – P. 2044–2054.
20. Yng Sh. A low-voltage CMOS 5-bit 600 MHz 30 mW SAR ADC for UWB wireless receivers / Sh. Y. Ng, B. Jalali, P. Zhang, J. Wilson, M. Ismail // IEEE Midwest Symposium on Circuit and Systems. – Aug. 2005. – V. 1. – P. 184–190.
21. A 3-mW 74-dB SNR 2-MHz continuous-time delta-sigma ADC with a tracking ADC quantizer in 0.13- μ m CMOS / L. Dorrer, F. Kuttner, P. Greco, [та ін.] // IEEE Journal of Solid State Circuits. – Dec. 2005. – V. 40. – P. 2416–2427.
22. Yin Sh. A new half-flash architecture for high speed video ADC / Sh Yin, L. Shizu, Z. Ronghua, W. Shoujue // IEEE Solid-State and Integrated Circuit Technology. – 1998. – P. 377–380.
23. Азаров О. Д. Аналого-цифрове порозрядне перетворення на основі систем числення з ваговою надлишковістю : монографія / О. Д. Азаров. – Вінниця : ВНТУ, 2010. – 232 с.
24. Смоллов В. Б. Полупроводниковые кодирующие и декодирующие преобразователи напряжений / В. Смоллов, Н. Смирнов. – Л. : Энергия, 1967. – 312 с.
25. Albert O'Grady. Getting 14-Bit Performance from a 32-Channel 14-Bit String DAC / Albert O'Grady // Analog Devices: офіційний сайт.

Режим доступу до журн.: www.analog.com/library/analogDialogue/archives/37-02/calibration.pdf.

26. Phillip E. Allen. CMOS Analog Circuit Desing / Phillip E. Allen, Douglas R. Holberg. – Oxford : Oxford University Press, 2002. – 784 p.

27. Goodenough F. Dual 18-bit ADC chip grabs 20-kHz audio / F. Goodenough // Electronic Design. – 1989. – V. 14.

28. Mosley J. D. Seif-calibrating 16-bit A/D converter quarantees no missing codes to 50 kHz / J. D. Mosley // EDN. – 1987. – V. 32, № 2.

29. Азаров О. Д. Основи теорії аналого-цифрового перетворення на основі надлишкових позиційних систем числення : монографія / О. Д. Азаров. – Вінниця : УНІВЕРСУМ–Вінниця, 2004. – 260 с.

30. Захарченко С. М. Самокалібровані АЦП із накопиченням заряду на основі надлишкових позиційних систем числення. Монографія / С. М. Захарченко, О. Д. Азаров, О. М. Харьков. – Вінниця : УНІВЕРСУМ-Вінниця, 2005. – 235 с.

31. Крупельницький Л. В. Аналого-цифрові пристрої систем, що самокоригуються, для вимірювань і оброблення низькочастотних сигналів : монографія / Л. Крупельницький, О. Азаров. – Вінниця : УНІВЕРСУМ-Вінниця, 2005. – 167 с.

32. Харьков О. М. Швидкодіючі високоточні АЦП із перерозподілом заряду з ваговою надлишковістю, що самокалібруються: автореф. дис. ... канд. техн. наук : 05.13.05 / О. М. Харьков ; Вінницький національний технічний університет. – Вінниця, 2007. – 16 с.

33. Азаров О. Д. Обчислювальні АЦП і ЦАП, що самокалібруються, для систем цифрового оброблення аналогових сигналів : монографія / О. Азаров, О. Коваленко. – Вінниця : УНІВЕРСУМ-Вінниця, 2006. – 147 с.

34. Азаров О. Д. Багаторозрядні АЦП і ЦАП, із ваговою надлишковістю, стійкі до параметричних відмов : монографія / О. Д. Азаров, О. В. Кадук – Вінниця : ВНТУ, 2010. – 150 с.

35. Стрельников В. П. Оценка и прогнозирование надежности электронных элементов и систем / В. Стрельников, А. Федухин. – К. : Логос, 2002. – 486 с.

36. Азаров А. Д. Разработка теории аналого-цифрового преобразования на основе избыточных позиционных систем счисления: автореф. дис. ... д-ра тех. наук : 05.11.16 / Азаров Алексей Дмитриевич; Винницкий политехнический институт. – Винница, 1994. – 44 с.

37. Азаров О. Д. Підвищення точності та швидкодії аналого-цифрових перетворювачів методами інформаційної надлишковості / О. Д. Азаров, С. М. Захарченко, М. О. Кравцов // Вимірювальна та обчислювальна техніка в технологічних процесах. – 1998. – № 2. – С. 78–83.

38. Стахов А. П. Избыточные двоичные позиционные системы счисления / А. П. Стахов // Однородные цифровые вычислительные и интегрирующие структуры. – 1974. – № 2. – С. 5–41.

39. Захарченко С. М. Високоточні АЦП з перерозподілом заряду для систем контролю та керування / С. М. Захарченко, Н. О. Біліченко // Вимірювальна та обчислювальна техніка в технологічних процесах. – 2000 – № 4. – С. 65–67.

40. Mychuda Z. Analiza parametrów układów elektronicznych // Z.Mychuda, Zb.Szczesniak. – Warszawa : Wydawnictwo PAK (Pomiary, automatyka, kontrola), 2011. – 122 s.

41. Mychuda Z. A method of charge accumulation in the logarithmic analog-to-digital converter with a successive approximation / Z. Mychuda, A. Szczesniak // Przegląd elektrotechniczny (Electrical Review). – 2010. – № 10. – P. 336–340.

42. Моделирование влияния паразитных межэлектродных емкостей в логарифмических АЦП с накоплением заряда с импульсным від'ємним зворотним зв'язком / З. Мичуда, Л. Мичуда, У. Антонів, А. Шиманський // Вимірювальна техніка і метрологія : міжвідомчий зб. – Л. : Вища школа. – 2010. – Вип.71. – С. 13–19.

43. Мичуда З. Р. Логарифмічні аналого-цифрові перетворювачі з накопиченням заряду. Частина 2 / З. Р. Мичуда, У. С. Антонів // Вісник Національного університету «Львівська політехніка». Серія: Автоматика, вимірювання та керування. – 2010. – Вип. 665. – С. 3–11.

44. Мичуда З. Р. Оцінка динамічних властивостей логарифмічних АЦП на комутованих конденсаторах / Б. О. Католик, К. І. Ільканич, З. Р. Мичуда // Збірник наукових праць Національного гірничого університету України. – Дніпропетровськ. – 2004. – Т. 2, № 19. – С. 135–143.

45. Мичуда З. Р. Моделирование влияния струмів витікання в логарифмічних АЦП з перерозподілом заряду / З. Р. Мичуда // Вісник НУЛП. Теплоенергетика. Інженерія довкілля. Автоматизація. – 2005. – Вип. № 537. – С. 103–106.

46. Мичуда З. Р. Оцінка точності ЛАЦП на комутованих конденсаторах / З. Р. Мичуда, О. Р. Коструба, К. І. Ільканич // Вісник Черкаського Державного технологічного університету. – 2005. – № 3. – С. 181–184.

47. Мичуда З. Р. Підвищення точності та швидкодії логарифмічних аналого-цифрових перетворювачів / З. Р. Мичуда, Б. О. Католик // Вісник Черкаського Державного технологічного університету. – 2006. – № 3. – С. 203–205.

48. Мичуда З. Р. Моделирование влияния паразитных межэлектродных емкостей в логарифмических АЦП с накоплением заряда с імпу-

льсьним від'ємним зворотним зв'язком / З. Мичуда, У. Антонів, А. Шиманський // Вимірювальна техніка і метрологія : міжвідомчий зб. – 2010. – Вип.71. – С. 13–19.

49. Кондалев А. И. Анализ системных параметров зарубежных АЦП и ЦАП / А. И. Кондалев, В. А. Багацкий // Управляющие системы и машины. – 1976. – № 1. – С. 52–60.

50. Вопросы проектирования преобразователей формы информации / А. И. Кондалев, А. Н. Никитин, В. А. Багацкий, [и др.] – К. : Наукова думка, 1977. – 242 с.

51. Высокопроизводительные преобразователи формы информации / А. И. Кондалев, В. А. Багацкий, В. А. Романов, В. А. Фабричев. – К. : Наукова думка. – 1987. – 280 с.

52. Высокопроизводительные преобразователи формы информации АЦП-36 и ПФИ-I / В. А. Романов, А. И. Кондалев, П. С. Ключан, [и др.] // УСМ. – 1985. – № 6. – С. 126–128.

53. Преобразователи формы информации: современное состояние и перспективы развития / В. А. Романов, В. О. Багацкий, П. С. Ключан, Л. В. Тесленко // ИК НАНУ Комп'ютерні засоби, мережі та системи. – 2003. – № 2.

54. Преобразователи формы информации с обработкой данных / В. А. Багацкий, И. В. Самус, Ю. М. Грешищев, В. А. Фабричев. – К. : Наукова думка. – 1992. – 264 с.

55. Багацький В. О. Передавальні характеристики елементів аналого-цифрових пристроїв / В. О. Багацький // Комп'ютерні засоби, мережі та системи. – 2002. – № 1. – С. 45–52.

56. Вклад Украины в развитие системных преобразователей формы информации / А. И. Кондалев, В. А. Романов, В. А. Багацкий, П. С. Ключан // Компьютеры в Европе. Прошлое, настоящее и будущее : труды Междунар. симпозиума. – К. : ИК НАН Украины, 1998. – 130 с.

57. Романов В. А. Теория, методы построения и техническая реализация микропроцессорных преобразователей формы информации с повышенной надежностью и производительностью: автореф. дис. ... д-ра тех. наук : 05.13.05 / В. А. Романов. – К., 1994. – 34 с.

58. Орнатский П. П. Теоретические основы информационно-измерительной техники / П. П. Орнатский. – 2-е изд., перераб. и доп. – К. : Вища школа, 1983. – 455 с.

59. Орнатский П. П. Автоматические измерения и приборы / П. П. Орнатский. – К. : Вища школа, 1980. – 560 с.

60. Орнатский П. П. Автоматические измерения и приборы (аналоговые и цифровые) / П. П. Орнатский. – 5-е изд., перераб. и доп. – К. : Вища шк. Главное изд-во, 1986. – 504 с.

61. Алипов Н. В. Алгоритмы функционирования параллельно-последовательных преобразователей формы информации, корректирующих динамические ошибки / Н. В. Алипов // Автоматизированные системы управления и приборы автоматики. – 1985. – № 2. – С. 57–64.
62. Алипов Н. В. Об одном классе корректирующих алгоритмов аналого-цифрового преобразования / Н. В. Алипов // Радиотехника. – 1985. – № 1. – С. 120–125.
63. Алипов Н. В. Разработка теории методов решения задач помехоустойчивого поиска и преобразования информации : автореф. дис. ... д-ра тех. наук : 05.13.05 / Н. В. Алипов. – Харьков, 1986. – 54 с.
64. Швецкий Б. И. Электронные цифровые приборы / Б. И. Швецкий. – 2-е изд, перераб. и доп. – К.: Техника, 1991. – 191 с.
65. Володарский Е. Т. Планирование, организация измерительного эксперимента / Е. Т. Володарский, Б. Н. Малиновский, Ю. М. Туз. – К. : Вища школа, 1987. – 280 с.
66. Метрологічне забезпечення вимірювань і контролю / Є. Т. Володарський, В. В. Кухарчук, В. О. Поджаренко, Г. Б. Сердюк. – Вінниця : Велес. – 2001. – 219 с.
67. Грушвицкий Р. И. Аналого-цифровые периферийные устройства микропроцессорных систем / Р. И. Грушвицкий, А. Х. Мурсаев, В. Б. Смоллов. – Л. : Энергоатомиздат. Ленингр. отд., 1989. – 160 с.
68. Смоллов В. Б. Вопросы построения интегральных преобразователей напряжения в код / В. Б. Смоллов, В. К. Шмидт, Н. Н. Варлинский, [и др.] // Вопросы преобразования информации. – 1972. – Вып. 6. – С. 3–9.
69. Смоллов В. Б. Микроэлектронные цифро-аналоговые и аналого-цифровые преобразователи информации / В. Б. Смоллов. – Л. : Энергия, 1976. – С. 336.
70. Смоллов В. Б. Аналого-цифровые комплексы / В. Б. Смоллов, А. В. Анисимов, К. М. Исмаилов. – Л. : ЛЭТИ, 1980. – 96 с.
71. Чернявский Е. А. Системы автоматизированного проектирования средств ИИТ / Е. А. Чернявский, В. Б. Смоллов, А. В. Минаев. – Л. : ЛЭТИ, 1988. – 58 с.
72. Смоллов В. Б. Функциональные преобразователи информации / В. Б. Смоллов. – Л. : Энергоиздат, 1981. – 247 с.
73. Автоматизация проектирования аналого-цифровых устройств / Э. И. Гитис, Б. Л. Собкин, А. Н. Подколзин и др. ; под ред. Э. И. Гитиса. – М. : Энергоатомиздат, 1987. – 182 с.
74. Гитис Э. И. Преобразователи информации для электронных цифровых вычислительных устройств / Э. И. Гитис. – М. : Энергия, 1970. – 400 с.

75. Гитис Э. И. Преобразователи информации для электронных цифровых вычислительных устройств / Э. И. Гитис. – М. : Энергия, 1975. – 448 с.
76. Гитис Э. И. Аналого-цифровые преобразователи / Э. Гитис, Е. Пискулов. – М. : Энергоиздат, 1981. – 360 с.
77. Hank Zumbahlen. Basic Linear Design / Zumbahlen Hank. – Analog Devices, 2006. – P. 241.
78. Lee H.S. A 2.5-V, 12-b, 5-Msamples/s pipelided CMOS ADC / P.C. Yu, H.S. Lee // IEEE J. Solid-State Circuits. – Dec. 1996. – V. 31. – P. 1854–1861.
79. Lee H.S. Design techniques for a low-power low-cost CMOS A/D Converter/ D. Y. Chang, H. S. Lee // IEEE J. Solid-State Circuits. – Aug. 1998. – V. 33. – P. 1244–1247.
80. 250-mW, 8-b, 52-Msamples/s parallel-pipelided A/D converter with reduced number of amplifiers / K. Nagaraj, H. S. Fetterman, J. Anidjar, [та ін.] // IEEE J. Solid-State Circuits. – Mar. 1997. – V. 32. – P. 312–320.
81. Nagaraj K. Efficient circuit configuration for algorithmic analog to digital converters / K. Nagaraj // IEEE Trans. Circuits Syst. II. – Dec. 1993. – V. 40. – P. 777–785.
82. Lee H.S. A 2.5-V, 12-b, 5-Msamples/s pipelided CMOS ADC / P. C. Yu, H. S. Lee // IEEE J. Solid-State Circuits. – Dec. 1996. – V. 31. – P. 1854 – 1861.
83. Lee H. S. A pipelined A/D conversion technique with near-inherent monotonicity / P. C. Yu, H. S. Lee // IEEE Trans. Circuits Syst. II. – July 1995. – V. 42. – P. 500–502.
84. Lee H. S. A 12-b, 600-ks/s Digital Self-Calibrated Pipelided Algorithmic ADC / H. S. Lee // IEEE J. Solid-State Circuits. – Apr. 1994. – V. 29, – № 4. – P. 509–515.
85. Mayes M. K. A low-power 14-bit 2-Msamples/s pipelided ADC with on-chip 32-bit correction processor / M. K. Mayes, S. W. Chin // National Semiconductor: офіційний сайт. – Режим доступу: <http://www.imec.be/esscirc/papers-96/198.pdf>.
86. Mayes M. K. Monolithic low-power 16b 1Msamples/s self-calibration pipelined ADC / M. K. Mayes, S. W. Chin // IEEE J. Solid-State Circuits. – Feb. 1996. – № 2. – P. 312–313.
87. Opris I. E. A pipelided A/D converter architecture with low DNL / I. E. Opris, B. C. Wong, S. W. Chin // IEEE J. Solid-State Circuits. – Feb. 2000. – V. 35. – P. 281–285.
88. De Haan G. Algorithm / Architecture co-design of the generalized sampling theorem based de-interlaced / G. De Haan,

R. Sethuraman, J. Van Meerbergen // IEEE J. Solid-State Circuits. – May. 2005. – V. 3. – P. 2943–2946.

89. Grey P. R. Analysis and Design of Analog Integrated Circuits / P. R. Grey, R. G. Meyer. – New York : Wiley, 1993. – 213 p.

90. Grey P. R. A ratio-independent algorithmic analog-to-digital conversion technique / P. R. Grey, P. W. Li, M. J. Chin // IEEE J. Solid-State Circuits.– Dec. 1984. – V. SC-91. – P. 827–836.

91. Бойко О. В. Розробка та дослідження методів цифрового самокалібрування з використанням вагової надлишковості / С. М. Захарченко, О. В. Бойко // Електронні праці ВНТУ. – 2009. – № 3. – Режим доступу до журн.: http://www.nbu.gov.ua/e-journals/VNTU/2009_3/2009-3.htm.

92. Бойко О. В. Високоточний АЦП із перерозподілом заряду із застосуванням вагової надлишковості / С. М. Захарченко, М. Г. Захарченко, О. В. Бойко // Інформаційні технології та комп'ютерна інженерія. – 2009. – № 2. – С. 21–25.

93. Бойко О. В. Циклічний АЦП із ваговою надлишковістю / С. М. Захарченко, О. В. Бойко // Вісник Хмельницького національного університету. – 2010. – № 3. – С. 208–211.

94. Бойко О. В. Метод калібрування циклічних АЦП із ваговою надлишковістю / С. М. Захарченко, М. Г. Захарченко, О. В. Бойко // Вісник Вінницького політехнічного інституту. – 2011. – № 4. – С. 143–149.

95. Бойко О. В. Аналіз статичних похибок циклічного АЦП із ваговою надлишковістю / С. М. Захарченко, О. В. Бойко, Г. С. Захарченко // Інформаційні технології та комп'ютерна інженерія. – 2011. – № 3. – С. 23–30.

96. Патент України на корисну модель № 42948: (51) МПК (2009) Н03М 1/22. Спосіб аналого-цифрового перетворення / О. Д. Азаров, С. М. Захарченко, О. В. Бойко; заявник і патентовласник Вінницький національний технічний університет. – № u200902279 ; заявл. 16.03.2009 ; опубл. 27.07.09, Бюл. № 14.

97. Патент України на корисну модель № 43254 : (51) МПК (2009) Н03М 1/22. Пристрій аналого-цифрового перетворення / О. Д. Азаров, С. М. Захарченко, О. В. Бойко; заявник і патентовласник Вінницький національний технічний університет. – № u200902282 ; заявл. 16.03.2009 ; опубл. 10.08.2009, Бюл. № 15.

98. Патент України на корисну модель № 54812: (51) МПК (2009) Н03М 1/00. Спосіб аналого-цифрового перетворення / С. М. Захарченко, О. В. Бойко, Л. В. Крупельницький; заявник і патентовласник Вінницький національний технічний університет. – № u201006154 ; заявл. 21.05.2010 ; опубл. 25.11.2010, Бюл. № 22.

99. Патент України на корисну модель № 55701: (51) МПК (2011.01) H03G 3/20. Пристрій аналого-цифрового перетворення / С. М. Захарченко, О. В. Бойко, Л. В. Крупельницький; заявник і патентовласник Вінницький національний технічний університет. – № u201006268 ; заявл. 25.05.2010 ; опубл. 27.12.2010, Бюл. № 24.

100. Патент України на корисну модель № 69746: (51) МПК (2012.01) H03K 5/22(2006.01) G05B 1/00. Двотактний симетричний підсилювач струму / О. Д. Азаров, С. М. Захарченко, С. В. Богомолів, О. В. Бойко, О. М. Тарасова; заявник і патентовласник Вінницький національний технічний університет. – № u201112882 ; заявл. 02.11.2011 ; опубл. 10.05.2012, Бюл. № 9.

101. Патент України на корисну модель № 70362: (51) МПК (2012.01) H03K 5/22(2006.01) G05B 1/00. Двотактний симетричний підсилювач струму / О. Д. Азаров, С. М. Захарченко, С. В. Богомолів, О. В. Бойко; заявник і патентовласник Вінницький національний технічний університет. – № u201113218 ; заявл. 09.11.2011 ; опубл. 11.06.2012, Бюл. № 11.

102. Бойко О. В. Комп'ютерна програма «Моделювання процедури калібрування циклічного АЦП з ваговою надлишковістю, шляхом визначення основи системи числення за аналізом кодувальної характеристики» / С. М. Захарченко, О. В. Бойко // Свідоцтво на реєстрацію авторського права на твір № 44297. – К. : Державна служба інтелектуальної власності України. – Дата реєстрації: 13.06.2012 р.

103. Бойко О. В. Розробка та дослідження методів цифрового самокалібрування з використанням вагової надлишковості / С. М. Захарченко, О. В. Бойко // Контроль і управління в складних системах (КУСС-2008) : тези доповідей ІХ міжнародної науково-технічної конференції, 21–24 жовтня 2008 р. – Вінниця : ВНТУ, 2008. – С. 16.

104. Бойко О. В. Методи підвищення точності калібрування АЦП послідовного наближення при застосуванні вагової надлишковості / С. М. Захарченко, М. Г. Захарченко, О. В. Бойко // Методи та засоби кодування, захисту й ущільнення інформації : тези доповідей ІІ міжнародної науково-практичної конференції, 22–24 квітня 2009 р.. – Вінниця : ВНТУ, 2009. – С. 199–200.

105. Бойко О. В. Метод підвищення точності калібрування АЦП із перерозподілом заряду на основі вагової надлишковості / С. М. Захарченко, М. Г. Захарченко, О. В. Бойко // XXXVIII науково-технічна конференція професорсько-викладацького складу, співробітників та студентів Вінницького національного технічного університету за участю працівників науково-дослідних організацій та інженерно-технічних працівників підприємств м. Вінниця, 17–20 березня 2009. :

тези доповідей. – Вінниця : ВНТУ, 2009. Режим доступу: <http://conf.vntu.edu.ua/allvntu/2009/initki/txt/bojko.pdf>.

106. Бойко О. В. Самокалібрований циклічний АЦП із ваговою надлишковістю / С. М. Захарченко, О. В. Бойко // Інформаційні технології та комп'ютерна інженерія : тези доповідей Міжнародної науково-практичної конференції, 19–21 травня 2010 р. – Вінниця : ВНТУ, 2010. – С. 383 – 384.

107. Бойко О. В. Метод калібрування циклічних АЦП із ваговою надлишковістю / С. М. Захарченко, О. В. Бойко // Десята міжнародна науково-технічна конференція «Контроль і управління в складних системах (КУСС-2010)», 19–21 жовтня 2010 р., : тези доповідей. – Вінниця : ВНТУ, 2010. – С. 145.

108. Бойко О. В. Метод реалізації циклічного АЦП із ваговою надлишковістю / С. М. Захарченко, О. В. Бойко // Третя міжнародна науково-практична конференція «Методи та засоби кодування, захисту й ущільнення інформації», 20–22 квітня 2011р. : тези доповідей. – Вінниця : ВНТУ, 2011. – С. 204–205.

109. Бойко О. В. Аналіз статичних похибок циклічного АЦП із ваговою надлишковістю / С. М. Захарченко, О. В. Бойко // Третя міжнародна науково-практична конференція «Інформаційні технології та комп'ютерна інженерія, 29–31 травня 2012 р., : тези доповідей. – Вінниця : ВНТУ, 2012. – С. 218–219.

110. Understanding SAR ADCs: Their Architecture and Comparison with Other ADCs / Maxim Integrated Products : офіційний сайт. – Режим доступу: <http://pdfserv.maxim-ic.com/en/an/AN1080.pdf>.

111. Rao P. P. Optimizing the Number of Bits/Stage in 10-Bit, 50Ms/Sec Pipelined A/D Converter Considering Area, Speed, Power and Linearity / P. P. Rao, K. L. Kishore. // World Academy of Science, Engineering and Technology. – 2012. – P. 62.

112. Walt Kester. Which ADC Architecture Is Right for Your Application? / Walt Kester // Analog Dialogue. – June 2005. – № 6. – P. 1–8.

113. Гайнулин К. Х. Обзор аналого-цифровых преобразователей / К. Х. Гайнулин // СИСТЕМОТЕХНИКА. – 2010. – № 8. – Режим доступу: <http://systech.miem.edu.ru/2010/gaynulin.htm>.

114. Imran. A. Pipelined ADC design and enhancement techniques / A. Imran – Toronto : Springer Science+Business Media, 2010. – С. 57.

115. Snoeij M. F. Multiple-Ramp Column-Parallel ADC Architectures for CMOS Image Sensors / M. F. Snoeij, K.A. Makinwa // IEEE J. Solid-State Circuits. – Dec. 2007. – V. 40. – P. 2968–2977.

116. Kim M. G. An improved algorithmic ADC clocking scheme / M.G. Kim, G.-Ch. Ahn, U.-K. Moon // IEEE J. Solid-State Circuits. – May 2004. – V. 1. – P. 589–592.
117. Webb R. W. 12-bit A/D converter / R.W. Webb, F.R. Cooper, R.W. Randlet // ISSCC Dig. Tech. Papers. – Feb. 1980. – P.54–55.
118. Lee C. C. A new switched-capacitor realization for cyclic analog-to-digital converter / C.C. Lee. – Newport : CA, 1983. – P. 1261–1265.
119. Gray P. R. A ratio independent algorithmic analog-digital conversion technique / P. W. Li, M. Chin, P. R. Gray // IEEE J. Solid-State Circuits. – Dec.1984. – V. 19. – P. 828–836.
120. McCharles R. Charge circuits for analog LSI / R. McCharles, D. A. Hodges // IEEE Trans. Circuits Syst. – 1987. – V. 25. – P. 490–497.
121. Прикладная теория цифровых автоматов / К. Г. Самофалов, А. М. Романкевич, В. Н. Валуйский, [и др.]. – К. : Вища школа. Головное изд-во, 1987. – 375 с.
122. An algorithmic analog-to-digital converter / R. H. McCharles, V. A. Saletore, W. C. Black, D. A. Hodges // Proc. Int. Solid State circuits Conf. – Feb. 1977.
123. Мулявка Ян. Схемы на операционных усилителях с переключаемыми конденсаторами /Я. Мулявка ; пер. с польск. М. П. Шарапова. – М. : Мир, 1992. – 416 с.
124. Kuo Ch.H. Capacitor-swapping cyclic A/D conversion techniques with reduced mismatch sensitivity / Ch. H. Kuo, T. H. Kuo // IEEE Transactions on circuits and systems – II: Express briefs / – Dec. 2008. – V. 55, № 12. – P. 1219–1223.
125. Lewis S. H. A pipelined 5-Msamples/s 9-bit analog-to-digital converter / S. H. Lewis, P. R. Gray // IEEE J. Solid-State Circuits. – Dec. 1987. – V. SC-22, №6. – P. 954–961.
126. A wireless integrated microsystem for environmental monitoring / K. D. Wise, K. Najafi, R. D. Sacks, E. T. Zellers // Digest of Technical Papers ISSCC. – 2004. – P. 434–537.
127. Wireless Implantable MicroSystems: High-density Electronic Interfaces to the Nervous System / K. D. Wise, D. J. Anderson, J. F. Hetke [та ін.] // Proc. IEEE. – Jan. 2004. – V. 92. – P. 76–97.
128. Rabbii S. A 1.8V digital-audio sigma-delta modulator in 0.8 μ m CMOS / S. Rabbii, B. Wooley // IEEE J. Solid-State Circuits. – Jun. 1997. – V. SC-32, №. 6. – P. 783–796.
129. Fogleman E. A 3.3-V single-poly CMOS audio ADC deltasigma modulator with 98-dB peak SINAD and 105-dB Peak SFDR / E. Fogleman // IEEE J. Solid-State Circuits. – Mar. 2000. – V. SC-35, № 3. – P. 297–307.

130. Breems L. A 1.8mW CMOS $\Sigma\Delta$ modulator with integrated mixer for A/D conversion of IF signals / L. Breems, E. van der Zwan, J. Huijsing // IEEE J. Solid-State Circuits. – Apr. 2000. – V. SC-35, № 4. – P. 468–475.
131. Rombouts P. A 13.5-b 1.2-V micropower extended counting A/D converter / P. Rombouts, W. DeWilde, L. Weyten // IEEE J. Solid-State Circuits. – Feb. 2001. – V. 36. – P. 176–183.
132. Hadidi K. Error analysis and digital correction algorithms for pipelined A/D converters / K. Hadidi, G. C. Temes, K. W. Martin // IEEE Int. Symp. Circuits and Systems : Dig. Tech. Papers, 1990. – May 1990. – P. 1709–1712.
133. Liu H.-Ch. A 15b 20MS/s CMOS Pipelined ADC with Digital background Calibration / H.-Ch. Liu, Z.-M. Lee, J.-T. Wu // IEEE Journal of Solid State Circuits. – Feb. 2004. – V. 1. – P. 454–539.
134. Liu M.-H. A Low Voltage Power 13 bit 16 MSPS CMOS Pipelined ADC / M.-H. Liu, K.-Ch. Huang, W.-Y. Ou, T.-Yi Su, Sh.-I. Liu // IEEE Journal of Solid State Circuits. – May 2004. – V. 39, № 5. – P. 834–836.
135. McNeill J. A Split-ADC architecture for deterministic digital background calibration of a 16b 1 MS/s ADC / J. McNeill, M. Coln, B. Larivee // Proc. ISSCC Dig. Tech. Papers. – Feb. 2005. – P. 276–598.
136. McNeill J. Split ADC' architecture for deterministic digital background calibration of a 16-bit 1-MS/s ADC / J. McNeill, M. Coln, B. Larivee // IEEE J. Solid-State Circuits. – Dec. 2005. – V. 40, № 12. – P. 2437–2445.
137. Li J. Background calibration techniques for multistage pipelined ADCs with digital redundancy / J. Li, U. Moon // IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process. – Sep. 2003. – V. 50, № 9. – P. 531–538.
138. A 0.9-V 12-mW 5-MSPS algorithmic ADC with 77-dB SFDR / J. Li, G. Ahn, D. Chang, U. Moon // IEEE J. Solid-State Circuits. – Apr. 2005. – V. 40, № 4. – P. 960–969.
139. Galton I. Digital cancellation of D/A converter noise in pipelined A/D converters / I. Galton // IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process. – Mar. 2000. – V. 47, № 3. – P. 185–196.
140. McNeill J. Digital background-calibration algorithm for «Split ADC» architecture / J. McNeill, M. Coln, D. Brown // IEEE Trans. on Circuits and Systems. – Feb. 2009. – V. 56, № 2. – P. 294–306.
141. Wang X. A 12-bit 20-Msample/s Pipelined Analog-to-Digital Converter with Nested Digital Background Calibration / X. Wang, P. J. Hurst, S. H. Lewis // IEEE Journal of Solid-State Circuits. – Nov. 2004. – V. 39. – P. 1799–1808.

142. Onodera H. A Cyclic A/D Converter That Does Not Require Ratio-Matched Components / H. Onodera, T. Tateishi, K. Tamarur // IEEE Journal of Solid-State Circuits. – Feb. 1988. – V. 23. – P. 152–158.
143. Ginetti B. A CMOS 13 bits Cyclic RSD A/D Converter / B.Ginetti, P. Jespers, A. Vandemeulebroecke // IEEE Journal of Solid-State Circuits. – Sept. 1991. – V. 1. – P. 245–248.
144. Chen Ch.-Ch. Design techniques for 1.5-V low-power CMOS current-mode cyclic analog-to-digital converters / Ch.-Ch. Chen, Ch-Y. Wu // IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing. – Jan. 1998. – V. 45. – P. 28–40.
145. Digital Background Calibration of an Algorithmic Analog-to-Digital Converter Using a Simplified Queue / E. B. Blecker, Th. M. McDonald, O. E. Erdogan, [та ін.] // IEEE Journal of Solid-State Circuits. – June 2003. – V. 38. – P. 1059–1062.
146. CMOS programmable self-calibrating 13-bit eight-channel data acquisition peripheral / H. Ohara, H. X. Ngo, M. J. Armstrong, [та ін.] // IEEE Journal of Solid-State Circuits. – Dec. 1987. – V. 22. – P. 930–938.
147. Shih C. Reference refreshing cyclic analog-to-digital and digital-to-analog converters / C. Shih, P. R. Gray // IEEE Journal of Solid-State Circuits. – Aug. 1986. – V. 21. – P. 544–554.
148. Erdogan O. E. A 12-b Digital-Background-Calibrated Algorithmic ADC with 90-dB THD / O. E. Erdogan, P. J. Hurst, S. H. Lewis // IEEE J. Solid-State Circuits. – Dec. 1999. – V. 34. – № 12 – P. 1812–1820.
149. U.S. Patent 4399426. On board self-calibration of analog-to-digital and digital-to-analog converters / Tan K.S. – Aug. 16, 1983. – P. 21–25.
150. Lee H.-S. A Self-calibrating 15-bit CMOS A/D Converter / H.-S. Lee, D. A. Hodges, P. R. Gray // IEEE J. Solid-State Circuits. – Dec. 1984. – V. 19. – № 6. – P. 813–817.
151. Нормирование и определение динамических характеристик аналого-цифровых преобразователей мгновенного электрического напряжения и тока. Методические указания РД 50-148-79. – М. : Изд-во стандартов, 1980. – 16 с.
152. Методика проверки цифровых вольтметров, аналого-цифровых преобразователей напряжения и комбинированных (универсальных) цифровых приборов постоянного и переменного тока. МИ 118-77. – М. : Изд-во стандартов, 1978. – 15 с.
153. Стахов А. П. Избыточные двоичные позиционные системы счисления / А. П. Стахов // Однородные цифровые вычислительные и интегрирующие структуры. – 1974. – № 2. – С. 5–41.

154. Bergman G.A. Number system with an irrational base / Bergman G. A. // *Mathematics Magazine*. – 1957. – № 3. – P. 98–119.
155. Микроэлектронные цифроаналоговые и аналого-цифровые преобразователи информации. / В. Б. Смоллов, Е. П. Угрюмов, В. К. Шмидт и др. ; под ред. В. Б. Смолова. – Л. : Энергия. – 1976. – 336 с.
156. Azarov A. D. Improvement of the Characteristics of Analog-to-Digital Converters of Methods of Information Redundancy / A. D. Azarov, N. A. Bilichenko, S. M. Zakharchenko // *Development and Application Systems DAS-2000: міжнародна науково-технічна конференція*. – Румунія, 2000 – С. 47–51.
157. Захарченко С. М. Исследование и разработка самокалибрующихся АЦП с накопителем заряда на основе избыточных позиционных систем счисления : автореф. дис. ... канд. тех. наук : 05.13.08 / С. М. Захарченко ; Винниц. гос. техн. ун-т. – Винница, 1997. – 16 с.
158. Азаров А. Д. Семнадцатиразрядный самокорректирующийся АЦП / А. Д. Азаров, В. И. Моисеев, В. П. Марценюк // *Приборы и системы управления*. – 1986. – № 1. – С. 34–42.
159. Стахов А. П. Высокоточный АЦП, сопряженный с микроЭВМ / А. П. Стахов, А. Д. Азаров, В. И. Моисеев // *Управляющие системы и машины*. – 1985. – № 5. – С. 56–63.
160. Стахов А. П. Высокоточный самокорректирующийся микропроцессорный преобразователь САЦП-МКЗ / А. П. Стахов, В. И. Моисеев, В. Я. Стейскал // *Информационный листок №88-006 о научно-техническом достижении*. – Винница : ВМТЦНТИ, 1988. – С. 3–6.
161. Аналоговые интегральные схемы. Элементы, схемы, системы и применения / под ред. Дж. Коннели. – М. : Мир, 1977. – 438 С.
162. Азаров О. Д. Аналіз статичних похибок АЦП з врівноваженням зарядів / О. Д. Азаров, С. М. Захарченко // *Вісник ВПШ*. – 1995. – № 2. – С. 5–12.
163. Grebene Alan B.. Bipolar and MOS analog integrated circuit design / Alan B.Grebene. – A Wiley-Interscience Publication, 1984. – P. 496–503.
164. Sylvan J. Build Precise S/N amps for fast 12-bit ADCs / J. Sylvan // *Electronic Design*. – 1990. – Jan. 25.
165. Азаров О. Д. Основи теорії лінійних інтегральних схеми : монографія / О. Д. Азаров, В. В. Байко, М. Р. Обертюх. – Вінниця : ВДТУ, 1999. – 226 с.
166. Левин Б. Р. Теоретические основы статистической радиотехники. / Б. Р. Левин. 3-е изд., перераб. и доп. – М. : Радио и связь, 1989. – 656 с.

167. Тихонов В. И. Статистическая радиотехника / В. И. Тихонов. – М. : Радио и связь, 1982. – 624 с.
168. Титце У. Полупроводниковая схемотехника : справочное руководство. / У. Титце, К. Шенк. – М. : Мир, 1982. – 512 с.
169. Высокпроизводительные преобразователи информации на основе избыточных систем счисления / А. П. Стахов, А. Д. Азаров, В. П. Марценюк [и др.]. – К. : УМК ВО, 1988. – 180 с.
170. Analog-digital conversion / Edited by Walt Kester. – Analog Devices Inc., 2004. – 1230 p.
171. Азаров О. Д. Двотактні підсилювачі постійного струму для багаторозрядних перетворювачів форми інформації, що самокалібруються : монографія / О. Д. Азаров, В. А. Гарнага. – Вінниця : ВНТУ, 2011. – 156 с.
172. Стейскал В. Я. Быстродействующие самокорректирующиеся аналого-цифровые преобразователи для высококачественной цифровой магнитной записи : автореф. дис. ... канд. тех. наук / В. Я. Стейскал ; РИО ИК АН УССР. – К., 1988. – 20 с.
173. Бахтиаров Г. Д. Аналого-цифровые преобразователи. / Г. Д. Бахтиаров, В. В. Малинин, В. П. Школин. ; под ред. Г. Д. Бахтиарова – М. : Советское радио, 1980. – 280 с.
174. Пасынков В. В. Полупроводниковые приборы / В. В. Пасынков, Л. К. Чиркин. – М. : Высшая школа, 1987. – 479 с.
175. Аладьев В. З. Вычислительные задачи на персональном компьютере / В. З. Аладьев, Н. А. Гершгорн. – К. : Техника, 1991. – 245 с.

Наукове видання

**Захарченко Сергій Михайлович
Азаров Олексій Дмитрович
Бойко Олександр Володимирович**

**МЕТОДИ ТА ЗАСОБИ ПІДВИЩЕННЯ ТОЧНОСТІ ЦИ-
КЛІЧНИХ АЦП НА ОСНОВІ ВАГОВОЇ НАДЛИШКО-
ВОСТІ**

Монографія

Редактор С. Малішевська

Оригінал-макет підготовлено О. Бойком

Підписано до друку 24.03.2014 р.
Формат 29,7×42¼. Папір офсетний.
Гарнітура Times New Roman.
Друк різнографічний. Ум. др. арк. 7,62
Наклад 300 (1-й запуск 1–75) прим. Зам № В2014-10

Вінницький національний технічний університет,
КІВЦ ВНТУ,
21021, м. Вінниця, Хмельницьке шосе, 95,
ВНТУ, ГНК, к. 114.
Тел. (0432) 59-85-32.

Свідоцтво суб'єкта видавничої справи
серія ДК № 3516 від 01.07.2009 р.

Віддруковано ФОП Барановська Т. П.
21021, м. Вінниця, вул. Порика, 7.
Свідоцтво суб'єкта видавничої справи
серія ДК № 4377 від 31.07.2012 р.